

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-255483

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 14/00

G 0 6 F 15/78

G 1 1 C 11/22

H 0 1 L 27/10

5 1 0

4 5 1

4 6 1

G 1 1 C 11/34

G 0 6 F 15/78

G 1 1 C 11/22

H 0 1 L 27/10

3 5 2 A

5 1 0 A

4 5 1

4 6 1

審査請求 未請求 請求項の数17 F D (全107頁)

(21) 出願番号 特願平9-153137

(22) 出願日 平成9年(1997) 5月28日

(31) 優先権主張番号 特願平8-147452

(32) 優先日 平8(1996) 6月10日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-1115

(32) 優先日 平9(1997) 1月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 高島 大三郎

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

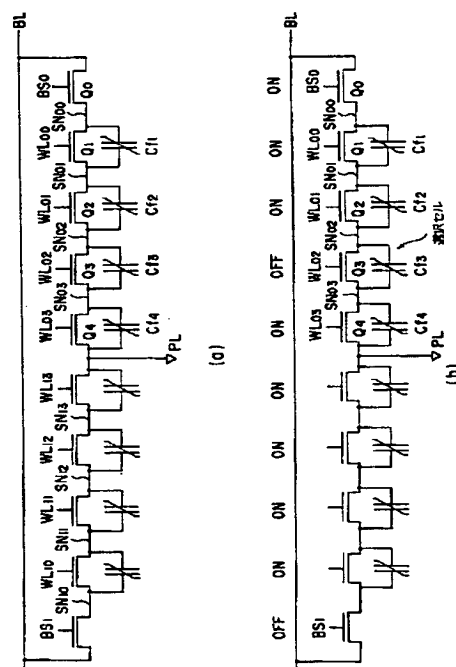
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置とそれを搭載したシステム

(57) 【要約】

【課題】 不揮発性のFRAMで、ランダムアクセス機能を保ちつつ高集積化を実現し、さらに高速化を保ちつつリフレッシュ動作を不要とする。

【解決手段】 1つのトランジスタQに1つの強誘電体キャパシタCfを並列接続してなるメモリセルを複数個直列接続してメモリブロックを構成し、該ブロックを複数個配置してセルアレイを構成したFRAMであって、メモリブロックの各々は、一端側が選択トランジスタQ0を介してビット線BLに接続され、他端側がプレート電極PLに接続されている。



1

## 【特許請求の範囲】

【請求項1】 各種の演算処理を行うマイクロプロセッサと、このマイクロプロセッサに接続され外部機器とのデータをやり取りを行う入出力装置と、前記マイクロプロセッサに接続されデータの記憶を行う半導体記憶装置とを備えたコンピュータシステムであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とするコンピュータシステム。

【請求項2】 半導体記憶装置を搭載したICチップを備えたICカードであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とするICカード。

【請求項3】 画像データを入力するための画像入力装置と、前記入力された画像データを圧縮するデータ圧縮装置と、前記圧縮された画像データを記憶する半導体記憶装置と、前記圧縮された画像データを出力する出力装置と、前記入力された画像データ又は圧縮された画像データを表示する表示装置とを備えたデジタル画像取り込みシステムであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とするデジタル画像取り込みシステム。

【請求項4】 データを記憶するための半導体記憶装置と、この半導体記憶装置に接続され外部機器とのデータのやり取りを行う入出力装置とを備えたメモリシステムであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とするメモリシ

2

ステム。

【請求項5】 各種の処理を行うためのコア部と、データの記憶を行うための半導体記憶装置とを、同一チップ上に混載したシステムLSIチップであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とするシステムLSIチップ。

【請求項6】 各種の演算処理を行うマイクロプロセッサと、このマイクロプロセッサに接続されデータの入力を行うための入力装置と、前記マイクロプロセッサに接続され外部機器とのデータのやり取りを行う電波送受信器と、この送受信器に接続されたアンテナと、前記マイクロプロセッサに接続され必要な情報を表示する表示装置と、前記マイクロプロセッサに接続されデータの記憶を行う半導体記憶装置とを備えた携帯コンピュータシステムであって、

前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする携帯コンピュータシステム。

【請求項7】 トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数配置してセルアレイを構成したことを特徴とする半導体記憶装置。

【請求項8】 トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリブロックを構成し、このメモリブロックを複数個配置してセルアレイを構成したことを特徴とする半導体記憶装置。

【請求項9】 トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の一端に選択トランジスタを接続してメモリブロックを構成し、このメモリブロックを複数個配置してセルアレイを構成したことを特徴とする半導体記憶装置。

【請求項10】 トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、該メモリセルを複数個直

3

列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリブロックを構成し、このメモリブロックの一端はビット線に接続され、他端がプレート電極に接続されていることを特徴とする半導体記憶装置。

【請求項11】トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に第1及び第2の選択トランジスタを直列に接続してメモリブロックを構成し、このメモリブロックの一端はビット線に接続され、他端がプレート電極に接続されていることを特徴とする半導体記憶装置。

【請求項12】トランジスタと、このトランジスタのソース・ドレイン端子間に各々並列接続された抗電圧の異なる複数の強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に1個以上の選択トランジスタを直列接続してメモリブロックを構成し、このメモリブロックを複数個配置してセルアレイを構成したことを特徴とする半導体記憶装置。

【請求項13】トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に第1、第2、第3、第4の選択トランジスタを直列接続してメモリセルブロックを構成し、2個の該メモリブロックの各一端は同一のビット線に接続され、他端がプレート電極に接続されていることを特徴とする半導体記憶装置。

【請求項14】第1のトランジスタと、この第1のトランジスタのソース・ドレイン端子間に接続されて第1のデータを記憶する第1の強誘電体キャパシタと、第1のトランジスタに直列接続された第2のトランジスタと、第1及び第2のトランジスタの直列接続部に並列接続されて第2のデータを記憶する第2の強誘電体キャパシタと、から2ビットのメモリセルを構成し、これを複数個直列接続すると共に、該直列接続部の少なくとも一端に1個以上の選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したことを特徴とする半導体記憶装置。

【請求項15】請求項7～14のいずれかに記載のメモリセルブロックに対するダミーセルブロックとして、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体或いは常誘電体キャパシタと、からダミーセルを構成し、このダミーセルを複数個直列接続すると共に、該直列接続部の一端に第1及び第2の1個以上直列接続された選択トランジスタを接続してダミーセルブロックを構成し、第1の選択トランジスタ

4

の他端を第1のビット線に接続し、第2の選択トランジスタの他端を第2のビット線に接続してなることを特徴とする半導体記憶装置。

【請求項16】トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したランダムアクセス機能を有する半導体記憶装置を用いて、前記メモリセルブロック内の複数のメモリセルの各トランジスタを導通させておく第1のステップと、前記メモリセルブロック内の複数のメモリセルのいずれか1つのメモリセルのトランジスタを非導通状態にしてこのメモリセルを選択し、該選択メモリセルに対してデータの書き込み又は読み出しを行う第2のステップとを含むことを特徴とする半導体記憶装置の駆動方法。

【請求項17】トランジスタと、このトランジスタのソース・ドレイン端子間に各々並列接続された抗電圧の異なる複数の強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したランダムアクセス機能を有する半導体記憶装置を用いて、前記メモリセルブロック内の複数のメモリセルの各トランジスタを導通させておく第1のステップと、前記メモリセルブロック内の複数のメモリセルのいずれか1つのメモリセルのトランジスタを非導通状態にしてこのメモリセルを選択し、該選択メモリセルに前記強誘電体キャパシタの抗電圧の内の最小の第1の抗電圧を越える電圧を印加することにより、第1の抗電圧を備える前記強誘電体キャパシタの蓄積情報を読み出す第2のステップと、前記選択メモリセルに第1の抗電圧を越える電圧を書き込む第3のステップと、前記選択メモリセルに第1の抗電圧より大きい第2の抗電圧を越える電圧を印加することにより、第2の抗電圧を備える前記強誘電体キャパシタの蓄積情報を読み出す第4のステップと、前記選択メモリセルに第2の抗電圧を越える電圧を書き込む第5のステップとを含むことを特徴とする半導体記憶装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタを用いた不揮発性の半導体記憶装置、またこの半導体記憶装置の駆動方法、更にはこの半導体記憶装置を搭載したシステムに関する。

【0002】

【従来の技術】近年、半導体メモリの一つとして、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリ (FRAM) が注目されている。このFRAMは、不揮発性で、しかも書き換え回数が10の1

5

2乗、読み出し、書き込み時間がDRAM程度、3V～5Vの低電圧動作等の長所があるため、全メモリ市場を置き換える可能性がある。

【0003】FRAMのセルは、DRAMの開発と同じく時代と共に、セル構成の簡略化、微細化によりセルサイズが縮小されてきた。図173(a)に従来のDRAMの1トランジスタ/1キャパシタ構成のメモリセルを、(b)に従来のFRAMの1トランジスタ/1キャパシタ構成のメモリセルを示す。ここで、WLはワード線、BLはビット線、SNはストレージノード、PLは  
10 プレート電極である。

【0004】このようにFRAMのメモリセルは、もはやDRAMのメモリセル構成と基本的に同様である。異なる点は、(1)DRAMではキャパシタとして自発的な誘電分極を持たない誘電体を用いるが、FRAMでは強誘電体性のものを用いる点、(2)DRAMではキャパシタの一端のプレート電極を $(1/2)V_{cc}$ に固定するが、FRAMでは0V～ $V_{cc}$ 間で変動させる点のみである。

【0005】(2)に関しても、プレート電極を0Vから  
20  $V_{cc}$ まで変動する方式(T. Sumiet al., 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 268-269, Feb. 1994等)から、 $(1/2)V_{cc}$ に固定する方式(H. Koike et al., 1996 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 368-369, Feb. 1996や、K. Takeuchi et al., IEICE Trans. Electron., Vol. E79-C, No. 2, Feb. 1996)に切り替わりつつある。

【0006】従って、(1)以外はDRAMと同一である。また、セルアレイ構成もDRAMと同等で、図173(c)に示すような、フォールデッドBL構成を取り、最小セルサイズは  
30  $2F \times 4F = 8F^2$

となる。ここで、MCはメモリセル、SAはセンスアンプ、Fは最小加工寸法を示す。また、図173(c)のBL、 $\nearrow$ BLはビット線対である。

【0007】FRAM動作原理を簡単に説明しておく。

【0008】DRAMにおいては、セルトランジスタをONにし、セルキャパシタに $V_{cc}$ 或いは0Vの電圧を印加して電荷を書き込み、“1”、“0”データを記憶し、読み出し時には、セルトランジスタをONにして電荷を読み出す。DRAMでは、図174(a)に示すように、セルキャパシタの両端の印加電圧に蓄積電荷(分極値[C])が比例する。このため、セルトランジスタ等のpn接合リーク電流により印加電圧が0Vになると、分極値も0Cとなり情報が破壊される。

【0009】これに対しFRAMでは、図174(b)に示す通り、分極特性にヒステリシスを持つ。電源投入後、プレート(PL)電圧が0V、ストレージノード(SN)が0Vで、セルに元々“0”データが書かれて  
50

6

いた場合を考える。このとき、 $PL=0V$ 、 $SN=0V$ であるため、強誘電体キャパシタの印加電圧は0Vであり、図174(b)中の残留分極( $=-P_r$ )のDの位置にいる。メモリセルデータを読み出す場合、ビット線(BL)電位を0Vにプリチャージしておき、セルトランジスタをONにし、PL電圧を $V_{cc}$ に上げると、BL容量はSN容量より大きいいため、BL・PL間に $-V_{cc}$ の電圧が印加され、D点からC点の位置に変化し、僅かの飽和分極 $P_s - P_r$ の差分の電位がビット線に読み出される。

【0010】一方、元々セルに“1”データが書き込まれていた場合、上記と同様にBL・PL間に $-V_{cc}$ の電圧が印加され、B点からC点の位置に分極反転を伴って、多量の電荷の $P_s + P_r$ がビット線に読み出される。

【0011】従って、参照ビット線を丁度 $P_s$ 分電荷が読み出されたと同等の電位に上げておくと、“1”読み出しでは $(P_s + P_r) - (P_s) = P_r$ 、“0”読み出しでは $(P_s - P_r) - (P_s) = -P_r$ 分だけ参照ビット線とビット線間に電位差が発生し、この結果をセンスアンプで増幅する。読み出した結果は、このセンスアンプで増幅されることにより“1”データは $V_{cc}$ 、“0”データは0Vとなる。

【0012】また、メモリセルデータの再書き込みを行うため、PLは再度0Vに下げられる。このとき、“0”データは $BL - PL = 0V$ になり、C点からD点に戻り、“1”データは $BL - PL = V_{cc}$ となり、C点からD点、分極反転してA点の位置に戻る。その後、セルトランジスタをOFFにする。“1”データのA点はリーク電流によりSNが0Vに下がるとA点からB点に移り、そこで停止する。これら一連の動作を図175(a)に示す。

【0013】FRAMとDRAMの動作における最大の違いは、FRAMにおいては、セルトランジスタをONにしてBLとSNを単にショートさせるだけでは、データが読み出されず、BL(SN)・PL間の電位を書き込んだ分極方向と逆方向にしないと、電荷が出ないことにある。そしてその分、負荷容量の重いPL動作が動作が必要で、読み出し、書き込みに時間がかかり、これがFRAMの欠点となっている。

【0014】この問題点を克服するため前述したように、PL電位を固定の $(1/2)V_{cc}$ にする方式が提案されている。これらの方式の動作を図175(b)(c)に示す。電源投入後のリコール時(図175(b))

(c)中左半分)は、PLを $(1/2)V_{cc}$ 、BLを0Vにプリチャージしておき、WLを選択してセルトランジスタをONにする。このとき、BL・PL間には $-(1/2)V_{cc}$ の電圧が印加され、図174(b)に示すように、“1”データはB点からC点に向かって分極反転し、“0”データはD点からC点に向かって分極反転せ

ずに、蓄積電荷がBLに読み出され、この違いで“0”、“1”情報が読み出される。その後、センス増幅され、“1”データのBLは $V_{cc}$ に、“0”データのBLは $V_{ss}$ となり、各々のセルに $BL-PL = (1/2)V_{cc}$ 、 $(-1/2)V_{cc}$ 印加され、“1”データはC点からA点に、“0”データはC点に留まり、データが書き込まれる。

【0015】(b)(c)の方式はその後の動作が少し異なり、(b)の方式は、BLを $(1/2)V_{cc}$ にイコライズ後(即ち“1”データはA点からB点へ、“0”データはC点からD点へ)、WLを閉じBLを0Vに戻している。BLをイコライズしても、B点、D点に留まりデータは破壊されない。これは、強誘電体キャパシタの特性を逆に利用している。(c)の方式は、WLを閉じてからBLをイコライズして $(1/2)V_{cc}$ にしている(即ち“1”データはA点のまま、“0”データはC点のまま)。リコールの後はDRAMのように、読み出しは、図174(b)のA-B間、C-D間の電荷差( $P_s - P_r$ )を利用している(読み出しでの分極反転による疲労による残留分極 $P_r$ 量の劣化を抑えている)。

【0016】これら(b)(c)の方式は(a)の方式に比べ、PL電位を動かすことによるアクセスタイム、サイクルタイムの動作速度の劣化が無くなり、高速動作が可能になる反面、分極反転に必要な電圧(抗電圧 $V_c$ )を $(1/2)V_{cc}$ 以下にする必要がある欠点(これは、強誘電体膜を縮小すれば解決する)を持つ。さらにDRAMと同様に、リフレッシュ動作が必要になる大きな欠点が生じる(リフレッシュにより、スタンバイ電流の増大、ビジーレートの存在等の弊害が生じる)。

【0017】例えば(b)の方式は、スタンバイ中はセルのSNノードは $(1/2)V_{cc}$ になっており、pn接合等によるリーク電流によりSN電位が $(1/2)V_{cc}$ より下がると、“1”データはB点からC点の方に向かいデータが破壊される。このため、図175(b)中右半分に示すように、スタンバイ中ある一定期間毎にWLを選択して、 $(1/2)V_{cc}$ の電位をSNに書き込むリフレッシュ動作が必要になる。

【0018】また(c)の方式は、スタンバイ中はセルのSNノードは $V_{cc}$ 、或いは0Vになっており、pn接合等によるリーク電流によりSN電位が $V_{cc}$ より下がると、“1”データはA点からB点そしてC点の方に向かいデータが破壊される。この場合、通常動作はDRAMと同様にしているため、B点に移動しただけでデータ破壊となる。よって図175(c)中右半分に示すように、スタンバイ中ある一定期間毎にWLを選択して、DRAMと同様に読み出し/センス/再書き込み動作のリフレッシュ動作が必要になる。

【0019】ところで、従来よりDRAMにおいては、 $8F^2$ より小さいセルサイズを実現するために、各種セルが開発されている。1つの手法は、縦型トランジスタ

や縦型TFT(Thin Film Transistor)を用いて、 $4F^2$ サイズを実現するもの(K. Sunouchi et al, 1988 IEE E IEDM Digest of Technical Paper, pp. 23-26, Dec. 1989 や特開平6-14059号公報)や、セルトランジスタを直列接続し、その間とPL間にキャパシタを接続して、ほぼ $4F^2$ サイズを実現する(NAND型セル)もの(T. Hasegawa et al, 1993 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 46-47, Feb, 1993)が提案されている。

【0020】基本的にFRAMはDRAMと等価回路が同じなため、DRAMセル構造と同じ構造で $4F^2$ サイズのFRAMを実現できる。反面、DRAMと同様な問題点をも持つ。縦型トランジスタ、縦型TFTでは、従来の $8F^2$ サイズの製造が容易な平面トランジスタに比べ、非常に製造工程が複雑で実現が困難な問題点がある。さらに、これらのセルをFRAMで実現するには、基本的に強誘電体キャパシタ工程の後にトランジスタを形成するトレンチセルであるため、トランジスタ製造工程における熱工程の影響で、強誘電体キャパシタの誘電率が低下する問題が起こる。

【0021】また、NAND型セルは、平面トランジスタを用いて製造できる長所、トランジスタ工程後、キャパシタを形成するスタックセルである長所がある。反面、読み出し/書き込みにおいてセルが直列接続であるため、ビット線BLより近いセルから順にセルデータを読み出し、遠い順にセルデータを書き込む必要があり、汎用メモリとして重要なポイントであるランダムアクセス性が損なわれ、ブロックリード/ライトとなる欠点がある。

【0022】

【発明が解決しようとする課題】このように従来のFRAMにおいては、 $8F^2$ サイズより小さい $4F^2$ サイズのメモリセルを実現する場合、DRAMと同様に、縦型トランジスタ等のプロセスの複雑化が発生したり、NAND型セルのように汎用のランダムアクセス性が損なわれてしまう問題点があった。さらに、従来のFRAMにおいては、PL電位の固定による高速動作とリフレッシュ不要の両立は困難であった。

【0023】また、半導体記憶装置を有する各種のシステムにおいて、従来のDRAMに代わりFRAMを用いようとする試みがあるが、前記したようなFRAM固有の問題があり、未だ実用化できないのが現状である。

【0024】本発明は、上記事情を考慮して成されたもので、その目的とするところは、縦型トランジスタ等を用いることなく $8F^2$ サイズより小さい(例えば $4F^2$ )サイズのメモリセルを実現することができ、かつランダムアクセス機能も保つことのできる不揮発性の半導体記憶装置を提供することにある。

【0025】また、本発明の他の目的は、プレート電位の固定による高速動作とリフレッシュ不要の両立をはか

り得る不揮発性の半導体記憶装置を提供することにある。

【0026】また、本発明の他の目的は、上記の半導体記憶装置を搭載することによりシステム性能の向上をはかり得る各種のシステムを提供することにある。

【0027】

【課題を解決するための手段】

（構成）上記課題を解決するために本発明は、次のような構成を採用している。

【0028】（1）各種の演算処理を行うマイクロプロセッサと、このマイクロプロセッサに接続され外部機器とのデータをやり取りを行う入出力装置と、前記マイクロプロセッサに接続されデータの記憶を行う半導体記憶装置とを備えたコンピュータシステムであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された（即ちトランジスタと並列接続された）強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0029】（1-1）コンピュータシステムは、半導体記憶装置のコントローラを含んでいること。

（1-2）コンピュータシステムは、揮発性RAMを含むこと。

（1-3）コンピュータシステムは、ROMを含むこと。

【0030】（2）半導体記憶装置を搭載したICチップを備えたICカードであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0031】（3）画像データを入力するための画像入力装置と、前記入力された画像データを圧縮するデータ圧縮装置と、前記圧縮された画像データを記憶する半導体記憶装置と、前記圧縮された画像データを出力する出力装置と、前記入力された画像データ又は圧縮された画像データを表示する表示装置とを備えたデジタル画像取り込みシステムであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0032】（3-1）デジタル画像取り込みシステムは、デジタルカメラとしての機能を有すること。

（3-2）デジタル画像取り込みシステムは、デジタルビデオカメラとしての機能を有すること。

【0033】（4）データを記憶するための半導体記憶装置と、この半導体記憶装置に接続され外部機器とのデータのやり取りを行う入出力装置とを備えたメモリシステムであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0034】（4-1）メモリシステムは、半導体記憶装置を制御するコントローラを含んでいること。

（4-2）メモリ情報として、映画、音楽、番組、教育等の画像・音声ソフト、ゲームソフト、OAソフト、OSソフト、CADソフト、辞書、地図情報、等を含むこと。

【0035】（5）各種の処理を行うためのコア部と、データの記憶を行うための半導体記憶装置とを、同一チップ上に混載したシステムLSIチップであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0036】（5-1）コア部は、MPUであること。

（5-2）（5-1）において、半導体記憶装置をマイクロコードメモリとして用いること。

（5-3）（5-1）において、半導体記憶装置を命令キャッシュメモリとして用いること。

（5-4）（5-1）において、半導体記憶装置をデータキャッシュメモリとして用いること。

（5-5）（5-1）において、半導体記憶装置をデータメモリとして用いる。

【0037】（5-6）コア部は、画像処理を行うための画像処理部であること。

（5-7）（5-6）において、半導体記憶装置を画像データメモリとして用いること。

【0038】（5-8）コア部は、各種論理演算を行うためのロジック部であること。

【0039】（5-9）LSIチップは、ロジック可変LSIチップであること。

（5-10）（5-9）において、半導体記憶装置を論理合成情報保存メモリとして用いること。

（5-11）（5-9）において、半導体記憶装置を論理接続情報

11

保存メモリとして用いること。

(5-12) (5-9)において、半導体記憶装置を配線接続情報保存メモリとして用いること。

【0040】(6) 各種の演算処理を行うマイクロプロセッサと、このマイクロプロセッサに接続されデータの入力をを行うための入力装置と、前記マイクロプロセッサに接続され外部機器とのデータのやり取りを行う電波送受信器と、この送受信器に接続されたアンテナと、前記マイクロプロセッサに接続され必要な情報を表示する表示装置と、前記マイクロプロセッサに接続されデータの記憶を行う半導体記憶装置とを備えた携帯コンピュータシステムであって、前記半導体記憶装置は、トランジスタとこのトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタとからメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したものであることを特徴とする。

【0041】(6-1) 携帯コンピュータシステムは、携帯電話としての機能を有すること。

(6-2) 携帯コンピュータシステムは、携帯テレビ電話としての機能を有すること。

(6-3) 携帯コンピュータシステムは、携帯テレビ、携帯ビデオとしての両方の機能を有すること。

(6-4) 携帯コンピュータシステムは、携帯コンピュータディスプレイとしての機能を有すること。

【0042】(7) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数配置してセルアレイを構成したことを特徴とする。

【0043】(8) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリブロックを構成し、このメモリブロックを複数配置してセルアレイを構成したことを特徴とする。

【0044】(9) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の一端に選択トランジスタを接続してメモリブロックを構成し、このメモリブロックを複数個配置してセルアレイを構成したことを特徴とする。

【0045】(9-1) メモリブロックの両端は、各々隣接したビットに接続されること。

12

(9-2) (9-1) において隣接したビットはビット線対を構成しセンスアンプに接続されること。

(9-3) (9-1, 9-2) において、選択トランジスタは複数の選択トランジスタの直列接続で構成されること。

【0046】(10) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に選択トランジスタを接続してメモリブロックを構成し、このメモリブロックの一端はビット線に接続され、他端がプレート電極に接続されていることを特徴とする。

【0047】(10-1) 隣接したセルアレイの2本のビット線を対として、オープンビット線方式を構成すること。(10-2) 同一セルアレイの2本のビット線に接続される2個のメモリセルで1ビットの情報を記憶し、2本のビット線を対として、フォールデッドビット線方式を構成すること。

【0048】(10-3) 電源投入後のスタンバイ時には、メモリブロック内の複数のトランジスタは全てONし、選択トランジスタはOFFしていること。

(10-4) メモリブロック内の任意のメモリセル選択時に、選択セルのトランジスタをOFFにし、それ以外のセルのトランジスタを全てONのままで、選択トランジスタをONにすること。

【0049】(10-5) プレート電極は、電源ON後はスタンバイ時及びアクティブ時に拘らず、 $(1/2)V_{cc}$  或いは一定電圧に固定されていること。これに加え、セルデータのリフレッシュ動作をしないこと。

(10-6) プレート電極は、電源ON後はスタンバイ時は0Vにし、セル選択時のデータの読み出し/書き込み時には、0Vから $V_{cc}$ 間を変動されること。

【0050】(10-7) ビット線は、セルデータ読み出し前に、0Vにプリチャージされていること。

(10-8) ビット線は、セルデータ読み出し前に $V_{cc}$ にプリチャージされていること。

【0051】(10-9) ダミーセルは、メモリブロック内のメモリセルと同一の回路構成をとること。

(10-10) ダミーセルのキャパシタ面積は、通常セルの1.5倍から3倍大きいこと。

(10-11) ダミーセルに、常誘電体キャパシタを用いること。

【0052】(10-12) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタの並列接続で構成されること。

(10-13) 各メモリセルの強誘電体キャパシタは、複数の膜厚の異なる強誘電体キャパシタの並列接続で構成されること。

(10-14) 各メモリセルの強誘電体キャパシタは、複数の

13

抗電圧の異なる強誘電体キャパシタの並列接続で構成されること。

【0053】(10-15) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の電圧降下素子から構成されること。

(10-16) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の抵抗素子から構成される。

(10-17) 各メモリセルの強誘電体キャパシタは、第1の強誘電体キャパシタと抵抗素子の直列接続に第2の強誘電体キャパシタを並列接続したもので構成されること。

【0054】(10-18) (10-12, 10-13, 10-14, 10-15, 10-16, 10-17) において、各メモリセルの複数の強誘電体キャパシタは、各々1ビットの情報を記憶すること。

(10-19) (10-12, 10-13, 10-14, 10-15) において、各メモリセルの複数の強誘電体キャパシタは、各々1ビットの情報を記憶し、強誘電体キャパシタに印加する電圧を変えることにより、複数の強誘電体キャパシタの内の1ビットの読み書きを行うこと。

【0055】(10-20) (10-13, 10-14) において、各メモリセルの複数の強誘電体キャパシタは、1ビットの情報を記憶し、読み出し時は、強誘電体キャパシタにまず小さい電圧を印加して、複数の強誘電体キャパシタの内の1つの強誘電体キャパシタの分極電荷を読み出し、これをセルアレイ外に記憶し、次いで順に、印加電圧を上げ、他の1つの強誘電体キャパシタの分極電荷を読み出し、書き込み時は、読み出しと逆の強誘電体キャパシタの順に、強誘電体キャパシタへの印加電圧を順に下げて、書き込みを行うこと。

【0056】(10-21) (10-12, 10-13, 10-14, 10-15, 10-16, 10-17) において、センスアンプ部に一時記憶用メモリを有すること。

(10-22) (10-13) において、各強誘電体キャパシタ間では、少なくとも膜厚が3倍以上異なることが望ましい。

(10-23) (10-14) において、各強誘電体キャパシタ間では、少なくとも抗電圧が3倍以上異なることが望ましい。

【0057】(11) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成、このメモリセルを複数個直列接続すると共に、該直列接続部の少なくとも一端に第1及び第2の選択トランジスタを直列に接続してメモリブロックを構成し、このメモリブロックの一端はビット線に接続され、他端がプレート電極に接続されていることを特徴とする。

【0058】(11-1) 隣接したセルアレイの2本のビット線を対として、オープンビット線方式を構成すること。

(11-2) 同一セルアレイの2本のビット線を対として、セ

14

ルデータの読み出し／書き込み時には、2本のビット線の内、いずれか一方のビット線に接続される第1、第2の2個の選択トランジスタのみを両方ONにすることにより、フォールデッドBL方式を構成すること。

【0059】(11-3) 電源投入後のスタンバイ時には、メモリブロック内の複数のトランジスタは全てONし、第1、第2の選択トランジスタの何れか一方はOFFしていること。

(11-4) メモリブロック内の任意のメモリセル選択時に、選択セルのトランジスタをOFFにし、それ以外のセルのトランジスタを全てONのままで、第1、第2の選択トランジスタの両方をONにすること。

【0060】(11-5) プレート電極は、電源ON後は、スタンバイ時及びアクティブ時に拘らず、 $(1/2)V_{cc}$  或いは一定電圧に固定されていること。これに加え、セルデータのリフレッシュ動作をしないこと。

(11-6) プレート電極は、電源ON後は、スタンバイ時は0Vにし、セル選択時の、データの読み出し／書き込み時には、0Vから $V_{cc}$ 間を変動されること。

【0061】(11-7) ビット線は、セルデータ読み出し前に、0Vにプリチャージされていること。

(11-8) ビット線は、セルデータ読み出し前に $V_{cc}$ にプリチャージされていること。

【0062】(11-9) ダミーセルは、メモリブロック内のメモリセルと同一の回路構成をとること。

(11-10) ダミーセルのキャパシタ面積は、通常セルの1.5倍から3倍大きいこと。

(11-11) ダミーセルに、常誘電体キャパシタを用いること。

【0063】(11-12) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタの並列接続で構成されること。

(11-13) 各メモリセルの強誘電体キャパシタは、複数の膜厚の異なる強誘電体キャパシタの並列接続で構成されること。

(11-14) 各メモリセルの強誘電体キャパシタは、複数の抗電圧の異なる強誘電体キャパシタの並列接続で構成されること。

【0064】(11-15) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の電圧降下素子から構成されること。

(11-16) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の抵抗素子のから構成されること。

(11-17) 各メモリセルの強誘電体キャパシタは、第1の強誘電体キャパシタと抵抗素子の直列接続に第2の強誘電体キャパシタを並列接続したもので構成されること。

【0065】(11-18) (11-12, 11-13, 11-14, 11-15, 11-16, 11-17) において、各メモリセルの複数の強誘電体キャパシタは、各々1ビットの情報を記憶すること。



15

(11-19) (11-12, 11-13, 11-14, 11-15) において、各メモリセルの複数の強誘電体キャパシタは、1ビットの情報を記憶し、強誘電体キャパシタに印加する電圧をえることにより、複数の強誘電体キャパシタの内の1ビットの読み書きを行うこと。

【0066】(11-20) (11-13, 11-14) において、各メモリセルの複数の強誘電体キャパシタは、1ビットの情報を記憶し、読み出し時は、強誘電体キャパシタにまず小さい電圧を印加して、複数の強誘電体キャパシタの内の1つの強誘電体キャパシタの分極電荷を読み出し、これをセルアレイ外に記憶し、次いで順に、印加電圧を上げ、他の1つの強誘電体キャパシタの分極電荷を読み出し、書き込み時は、読み出しと逆の強誘電体キャパシタの順に、強誘電体キャパシタへの印加電圧を順に下げて、書き込みを行うこと。

【0067】(11-21) (11-12, 11-13, 11-14, 11-15, 11-16, 11-17) において、センスアンプ部に一時記憶用メモリを有すること。

(11-22) (11-13) において、各強誘電体キャパシタ間では、少なくとも膜厚が3倍以上異なることが望ましい。(11-23) (11-14) において、各強誘電体キャパシタ間では、少なくとも抗電圧が3倍以上異なることが望ましい。

【0068】(12) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に各々並列接続された抗電圧の異なる複数の強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数直列接続すると共に、該直列接続部の少なくとも一端に1個以上の選択トランジスタを直列接続してメモリブロックを構成し、このメモリブロックを複数個配置してセルアレイを構成したことを特徴とする。

【0069】(13) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数直列接続すると共に、該直列接続部の少なくとも一端に第1、第2、第3、第4の選択トランジスタを直列接続してメモリセルブロックを構成し、2個の該メモリブロックの各一端は同一のビット線に接続され、他端がプレート電極に接続されていることを特徴とする。

【0070】(13-1) 同一のセルアレイの2本のビット線を対として、セルデータの読み出し／書き込み時には、このビット線対に接続される4個のセルブロックの内の1つのみ、4個直列接続された選択トランジスタを全てONすることにより、フォールドットBL方式を構成すること。

【0071】(13-2) 電源投入後のスタンバイ時には、メ

16

モリセルの複数のトランジスタは全てONし、第1～第4の選択トランジスタの何れかはOFFしていること。(13-3) メモリブロック内の任意のメモリセル選択時に、選択セルのトランジスタをOFFし、それ以下のセルのトランジスタを全てONのままで、第1～第4の選択トランジスタを全てONすること。

【0072】(13-4) プレート電極は、電源ON後は、スタンバイ時及びアクティブ時にかかわらず、 $(1/2)V_{cc}$  或いは一定電圧に固定されていること。これに加え、セルデータのリフレッシュ動作を行わないこと。

(13-5) プレート電極は、電源ON後は、スタンバイ時は0Vにし、セル選択時のデータの読み出し／書き込み時には0Vから $V_{cc}$ 間を変動されること。

【0073】(13-6) ビット線ピッチは、セルピッチの2倍であること。

(13-7) ダミーセルは、メモリブロック内のメモリセルと同一の回路構成を取ること。

(13-8) ダミーセルのキャパシタ面積は、通常セルの1.5倍から3倍大きいこと。

(13-9) ダミーセルに、常誘電体キャパシタを用いること。

【0074】(13-10) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタの並列接続で構成されること。

(13-11) 各メモリセルの強誘電体キャパシタは、複数の膜厚の異なる強誘電体キャパシタの並列接続で構成されること。

(13-12) 各メモリセルの強誘電体キャパシタは、複数の抗電圧の異なる強誘電体キャパシタの並列接続で構成されること。

【0075】(13-13) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の電圧降下素子から構成されること。

(13-14) 各メモリセルの強誘電体キャパシタは、複数の強誘電体キャパシタと1個以上の抵抗素子のから構成されること。

(13-15) 各メモリセルの強誘電体キャパシタは、第1の強誘電体キャパシタと抵抗素子の直列接続に第2の強誘電体キャパシタを並列接続したもので構成されること。

【0076】(13-16) (13-10, 13-11, 13-12, 13-13, 13-14, 13-15) において、各メモリセルの複数の強誘電体キャパシタは、各々1ビットの情報を記憶すること。

(13-17) (13-10, 13-11, 13-12, 13-13) において、各メモリセルの複数の強誘電体キャパシタは、1ビットの情報を記憶し、強誘電体キャパシタに印加する電圧をえることにより、複数の強誘電体キャパシタの内の1ビットの読み書きを行うこと。

【0077】(13-18) (13-10, 13-11, 13-12, 13-13) において、各メモリセルの複数の強誘電体キャパシタは、1

ビットの情報を記憶し、読み出し時は、強誘電体キャパシ

17

タにまず小さい電圧を印加して、複数の強誘電体キャパシタの内の1つの強誘電体キャパシタの分極電荷を読み出し、これをセルアレイ外に記憶し、次いで順に、印加電圧を上げ、他の1つの強誘電体キャパシタの分極電荷を読み出し、書き込み時は、読み出しと逆の強誘電体キャパシタの順に、強誘電体キャパシタへの印加電圧を順に下げて、書き込みを行うこと。

【0078】(13-19) (13-10, 13-11, 13-12, 13-13, 13-14, 13-15) において、センスアンプ部に一時記憶用メモリを有すること。

(13-20) (13-11) において、各強誘電体キャパシタ間では、少なくとも膜厚が3倍以上異なることが望ましい。

(13-21) (13-12) において、各強誘電体キャパシタ間では、少なくとも抗電圧が3倍以上異なることが望ましい。

【0079】(14) トランジスタと強誘電体キャパシタからなるメモリセルを用いた半導体記憶装置において、第1のトランジスタと、この第1のトランジスタのソース・ドレイン端子間に接続されて第1のデータを記憶する第1の強誘電体キャパシタと、第1のトランジスタに直列接続された第2のトランジスタと、第1及び第2のトランジスタの直列接続部に並列接続されて第2のデータを記憶する第2の強誘電体キャパシタと、から2ビットのメモリセルを構成し、これを複数直列接続すると共に、該直列接続部の少なくとも一端に1個以上の選択トランジスタを接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したことを特徴とする。

【0080】(15) (1) ~ (14) のいずれかに記載のメモリセルブロックに対するダミーセルブロックとして、トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体或いは常誘電体キャパシタと、からダミーセルを構成し、このダミーセルを複数個直列接続すると共に、該直列接続部の一端に第1及び第2の1個以上の直列接続された選択トランジスタを接続してダミーセルブロックを構成し、第1の選択トランジスタの他端を第1のビット線に接続し、第2の選択トランジスタの他端を第2のビット線に接続してなることを特徴とする。

【0081】(15-1) ダミーセルのキャパシタの面積は、通常セルの1.5倍から3倍大きいこと。

【0082】(16) トランジスタと、このトランジスタのソース・ドレイン端子間に接続された強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したランダムアクセス機能を有する半導体記憶装置であり、この装置を駆動する方法において、前記メモリセルブロック内の複数のメモリセルの各トランジスタを導通させておく第1のステップと、前記メモリセルブロッ

18

ク内の複数のメモリセルのいずれか1つのメモリセルのトランジスタを非導通状態にしてこのメモリセルを選択し、該選択メモリセルに対してデータの書き込み又は読み出しを行う第2のステップとを含むことを特徴とする。

【0083】(17) トランジスタと、このトランジスタのソース・ドレイン端子間に各々並列接続された抗電圧の異なる複数の強誘電体キャパシタと、からメモリセルを構成し、このメモリセルを複数個直列接続してメモリセルブロックを構成し、このメモリセルブロックを複数個配置してセルアレイを構成したランダムアクセス機能を有する半導体記憶装置であり、この装置を駆動する方法において、前記メモリセルブロック内の複数のメモリセルの各トランジスタを導通させておく第1のステップと、前記メモリセルブロック内の複数のメモリセルのいずれか1つのメモリセルのトランジスタを非導通状態にしてこのメモリセルを選択し、該選択メモリセルに前記強誘電体キャパシタの抗電圧の内の最小の第1の抗電圧を越える電圧を印加することにより、第1の抗電圧を備える前記強誘電体キャパシタの蓄積情報を読み出す第2のステップと、前記選択メモリセルに第1の抗電圧を書き込む第3のステップと、前記選択メモリセルに第1の抗電圧より大きい第2の抗電圧を越える電圧を印加することにより、第2の抗電圧を備える前記強誘電体キャパシタの蓄積情報を読み出す第4のステップと、前記選択メモリセルに第2の抗電圧を書き込む第5のステップとを含むことを特徴とする。

【0084】(17-1) データの読み出し、書き込みは、第1のステップ、第2のステップ、第4のステップ、第5のステップ、第3のステップ、第1のステップの順に行われること。

(17-2) データの書き込みは、第1のステップ、第5のステップ、第3のステップ、第1のステップの順に行われること。

【0085】また、本発明の半導体記憶装置の製造方法として、次のような構成を採用するのが望ましい。

【0086】(1) セルトランジスタを形成した後に強誘電体キャパシタを形成し、その後にビット線を形成すること。

(2) セルトランジスタを形成した後にビット線を形成し、その後に強誘電体キャパシタを形成すること。

【0087】(3) 強誘電体キャパシタの形成においては、下部電極の上に強誘電体膜を形成し、その上に上部電極を形成すること。

(4) 強誘電体キャパシタの下部電極はPt, Ti等を含む構成とすること。

【0088】(5) 強誘電体キャパシタは、Bi, Sr, Ta, O等を含む構成、或いはPb, Zr, Ti, O等を含む構成、或いはBa, Sr, Ti, O等を含む構成とすること。

19

(6) 強誘電体キャパシタの電極は、 $Ir$ 、 $IrO_2$ を含む構成、或いは $Sr$ 、 $Ru$ 、 $O$ 等を含む構成とすること。

【0089】(7) 強誘電体キャパシタの下部電極は、拡散層上に $Si$ プラグを形成し、その上に $Ti/TiN/Pt$ 層を形成すること。

(8) 強誘電体キャパシタの上部電極の上に、 $TiO_2$ 層を形成し、その上に $SiO_2$ 層を形成すること。

【0090】(9) 強誘電体キャパシタは、単結晶化していること。

(10) 強誘電体キャパシタ膜と上部電極或いは下部電極間では、格子定数が異なり、歪みが入っていること。

【0091】(11) 強誘電体キャパシタの両端の電極ノードは同時に形成され、強誘電体膜は両端の電極ノード間に形成されること。強誘電体膜は、CVD、MOCVD法で形成されること。

(12) 強誘電体膜は、ウェハ表面に対して垂直方向、又は平行方向に形成されること。

【0092】また、本発明においては、以下の構成が望ましい。

(1) 強誘電体キャパシタは、 $Si$ 表面に対して上方に複数層積層されていること。

(2) メモリセルトランジスタはDepletion型トランジスタであること。

(3) (2)において、スタンドバイ時、電源OFF時は、セルトランジスタのゲートであるワード線電位は0Vであること。

【0093】(4) 電源ON時に基板に負の電位を印加すること。

(5) 電源ON時に基板に負の電位を印加する基板バイアス発生回路をチップ上に有すること。

【0094】(6) 電源投入時は、ワード線電位を印加した後、プレート電位を $(1/2)V_{cc}$ に上げること。

(7) 電源OFF時は、プレート電位を0Vに下げた後、ワード線電位を0Vに下げること。

(8) 電源OFF時は、プレート電位を0Vに下げた後、ワード線電位を0Vに下げ、その後電源をOFFすること。

【0095】(9) ワード線の上にセルトランジスタのソース・ドレイン拡散層にそれぞれコンタクトする4層の電極が積層され、第1層目と第3層目は接続され、第1、第3層目と第2層目の電極間でキャパシタを形成し、第3層目と第4層目の電極間でキャパシタを形成すること。

【0096】(10) ビット線は、 $W$ 、 $Al$ 、或いは $Cu$ で構成されていること。

(11) ワード線方向に隣接した強誘電体キャパシタと強誘電体キャパシタとの間にビット線が配設されていること。

【0097】(12) 強誘電体キャパシタの下にビット線が

20

配設されていること。

(13) 強誘電体キャパシタの上にビット線が配設されていること。

(14) 強誘電体キャパシタの上部電極は、 $Al$ 配線を介してセルトランジスタのソース或いはドレイン端子と接続されていること。

【0098】(15) 通常セルのPL(プレート)電極は、 $0V \sim V_{cc}$ 間を変動し、ダミーセルのPLは $(1/2)V_{cc}$ 或いは一定電圧に固定すること。

(16) プレート電極は、一定範囲の電圧間を変動させること。

(17) プレート電極は、 $Al$ 或いは $Cu$ 配線により裏打ちすること。

【0099】(作用) 従来のFRAMは従来のDRAMの延長線上の構成を取っていたが、本発明では1つのメモリセルにおいて、セルトランジスタと強誘電体キャパシタを従来の直列の概念から、並列接続に変えている。さらに本発明においては、これらメモリセルを複数直列接続して、直列接続の一端をプレート電極に接続し、他端を選択トランジスタを介してビット線に接続している。

【0100】このような構成において、スタンドバイ中は、セルトランジスタのゲートはON状態にしており、並列接続により強誘電体キャパシタの両端はショートされ、同電位となる。従来のDRAMの概念では、このような構成は蓄積情報を壊す以外の何ものでもないが、強誘電体メモリにおいては、蓄積ノードSNとプレートPL間の電位差を0Vにただけではデータは破壊されない。つまり、書き込んだ分極方向と逆方向にしないと電荷が読み出されないという、FRAM特有の問題点を、逆に利用して長所としている。

【0101】プレート電位の固定、 $0V \sim V_{cc}$ 振幅動作に拘らず、本発明においては長時間のスタンドバイ中に、常に強誘電体キャパシタの両端はショートしているため、pn接合等のリーク電流があったとしても、強誘電体キャパシタの両端の電位差は0Vであり、残留分極量の電荷は保持されたままであり、分極反転してデータが破壊されることはない。さらに、セルトランジスタのカットオフ電流や強誘電体キャパシタのリーク電流の値が大きくても、セル情報が破壊されることはない。結果として、従来不可能であった、プレート電位固定で高速動作しつつ、リフレッシュ動作が不要の動作が可能となる。

【0102】次に、複数直列接続していたセルのどれか1つを選ぶ場合を考える、例えば4セル直列で、プレート電極から2個目、ビット線から3個目のセルを選ぶ場合を考える。この場合、選択セルのセルトランジスタのみONからOFF状態にし、選択トランジスタをOFFからONにする。すると等価回路的に、プレート電極から1個目、3個目、4個目のセルトランジスタはON状

21

態のままであるから、選択セルの強誘電体キャパシタの一端は、プレート電極に電氣的に接続され、他端はビット線に電氣的に接続される。よって、見掛け上は本発明の回路は、従来強誘電体メモリのセルトランジスタが選択トランジスタに対応し、強誘電体キャパシタがそのまま強誘電体キャパシタに対応する。それ故、従来の(1/2)V<sub>cc</sub>固定プレート方式、0V~V<sub>cc</sub>変動方式のどちらにも対応する。

【0103】プレート電極から2個目のメモリセル選択時の読み出し/書き込み時において、プレート電極から1個目、3個目、4個目の非選択セルは、セルトランジスタがON状態で、強誘電体キャパシタの両端を0Vに抑えているため、セルデータが破壊されることはない。結果として本発明においては、メモリセルを直列接続しているにも拘らず、任意のセルの読み出し/書き込みが可能となり、従来のNAND型セルのようなブロックアクセスでは無く、完全なランダムアクセスが可能となる。

【0104】従来のNAND型セルでは、セルの直列数を増やすとビット線容量が低減できた反面、あまり増やすと、ビット線から遠いセルの読み出し時、ビット線からそのセルまでの他のセル容量がビット線容量の増加となり、逆にビット線容量が増加する欠点があった。

【0105】これに対し本発明においては、セルの直列数をかなり増やすことができ、ビット線容量を大幅に低減できる。これは、非選択セルの強誘電体キャパシタの両端はショートされているため、強誘電体キャパシタの容量が電氣的に見えなくなるためである。さらに、選択トランジスタのゲートを、ビット線対を成す別のビット線に接続される選択トランジスタのゲートと異なる信号線にしておけば、参照ビット線にはセルデータが読み出されず、ノイズ低減が可能なフォールデッドビット線構成にできる。このように本発明により、ランダムリード/ライトが可能で、ビット線容量が低減でき、アレイノイズが低減できる。

【0106】また、セル構造としては、セルトランジスタのゲートを最小加工寸法(F)で形成でき、拡散層及びチャネル形成のアクティブ領域を最小加工寸法(F)で形成できるため、製造が容易な平面トランジスタでしかも、1個のセルサイズは $2F \times 2F = 4F^2$

に縮小できる。強誘電体キャパシタは、トランジスタ形成後に、ゲート・ゲート間の拡散層領域からセルトランジスタのソース電極、ドレイン電極を上にあげ、どちらか一方の電極を強誘電体キャパシタの下部電極、残りの一方を強誘電体キャパシタの上部電極にすれば、スタック型で、強誘電体キャパシタをセルトランジスタと並列に接続できる。

【0107】以上の効果をまとめると、従来の不揮発性のFRAMでは、製造の容易化、ランダムアクセス機能

22

を保ちつつ、高集積化を実現することは、従来のDRAMと同様に不可能であったが、本発明ではこれらの全ての両立が可能となる。さらに、ビット線容量の低減、低ノイズ化も可能となり、また従来のFRAMでは両立が不可能であった、(1/2)V<sub>cc</sub>固定プレート方式で高速化を保ちつつ、リフレッシュ動作を不要とすることが可能となる。

【0108】また、本発明の半導体記憶装置を、コンピュータシステム、ICカード、デジタル画像取り込みシステム、メモリシステム、システムLSIチップ、携帯コンピュータシステム等の各種システムに適用することによって、該半導体記憶装置の利点を生かして各々のシステムの性能向上をはかることが可能となる。即ち、本発明の半導体記憶装置はリフレッシュ不要で高速動作が可能で、しかも高密度化が可能であるため、低消費電力で高速用途のシステムや、高温動作が必要で高速用途のシステムに適用でき、さらに応力が厳しいシステムや大容量のメモリが必要なシステムに適用できる。

【0109】

【発明の実施の形態】以下、図面を参照して、本発明の実施形態を説明する。

【0110】(第1の実施形態)図1は、本発明の第1の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。

【0111】このシステムは、各種の演算処理を行うマイクロプロセッサ11と、このマイクロプロセッサ11にバス(BUS)14で接続されデータの記憶を行う不揮発性半導体記憶装置12と、マイクロプロセッサ11にBUS14で接続され外部機器とのデータをやり取りを行う入出力装置13とから構成されている。

【0112】本実施形態は、本発明の半導体記憶装置(FRAM)をコンピュータシステムに搭載した例である。本実施形態に用いたFRAMの詳細について、以下に説明する。

【0113】図2は、本実施形態に用いたFRAMの基本構成を示す回路図であり、メモリセルの8セル分の等価回路を示している。図2(a)において、BLはビット線、PLはプレート電極、WL<sub>ij</sub>はワード線、SN<sub>ij</sub>はセルノードを示す。Q<sub>0</sub>は選択トランジスタを示し、そのゲートのBS<sub>i</sub>信号はブロック選択線を示す。Q<sub>1</sub>~Q<sub>4</sub>は、メモリセルトランジスタを示す。通常のキャパシタマークにカギ型のマークが付加されたC<sub>f1</sub>~C<sub>f4</sub>は、強誘電体キャパシタを示す。

【0114】従来のFRAMの1つのメモリセルは、従来DRAMの延長線上のセルトランジスタと強誘電体キャパシタを直列接続していたが、本実施形態ではこの概念を大幅に変えている。即ち、セルトランジスタと強誘電体キャパシタとを並列接続して、1つのメモリセルを構成している。例えば、セルトランジスタQ<sub>3</sub>と強誘電体キャパシタC<sub>f3</sub>は組みを成し、1つのメモリセルを

23

構成して、“0”、“1”情報を記憶する。同様に、Q1とCf1、Q2とCf2、Q4とCf4は組で、メモリセルを構成している。

【0115】そして、これら4個のメモリセルを直列接続してメモリ群（メモリブロック）としている。このメモリブロックの一端は、セルプレート電極PLに接続され、他端はこのブロックを選択する選択トランジスタを介して、データの読み出し／書き込みを行うビット線BLに接続されている。

【0116】図2(a)では、左半分、右半分で、2個のメモリブロックを示している。なお、1つのメモリセルは、“0”、“1”の2値のデータを記憶するのに用いても良いし、多値或いはアナログデータ記憶でも、何等支障はない。

【0117】本実施形態のFRAMの動作を説明する。スタンバイ中は、全てのワード線WL00~03、10~13は“H”レベルにしておき、ブロック選択線BS0、1は“L”レベルにしておく。このとき、全てのセルトランジスタのゲートはON状態になっており、強誘電体キャパシタの両端は、該キャパシタと並列接続されたセルトランジスタにより電氣的にショートされ、同電位となる。例えば、Q3、Cf3のセルにおいては、セルノードSN03、SN02が同一電位になっている。

【0118】従来DRAMの概念では、このような構成は蓄積情報を壊す以外のなにものでもないが、強誘電体メモリにおいては、蓄積ノードSN・プレートPLの電位差を0Vにただけでは、データは破壊されない。書き込んだ分極方向と逆方向にしないと電荷が読み出されないという強誘電体メモリ特有の問題点を、ここでは逆に最大限利用している。即ち、前記図174(b)で言うところ、“1”データは残留分極Prを持つB点、“0”データは残留分極−Prを持つD点に位置して動かない。

【0119】電氣的には、全てのセルノードSN00~03、10~13は、スタンバイ中はプレート(PL)電位と同じになっている。スタンバイ中、PL電位を(1/2)Vccに固定していようが、0V~Vcc間を移動させようが、本実施形態においては、長時間のスタンバイ中、常に強誘電体キャパシタの両端はショートしているため、たとえセルトランジスタpn接合等のリーク電流があったとしても、強誘電体キャパシタの両端の電位差は0Vであり、残留分極量分の電荷は保持されたままであり、分極反転してデータが破壊されることはない。

【0120】また、従来のDRAMやDRAMモードを持つFRAMに比べ、セルトランジスタのカットオフ電流が大きくてもよい。これは、トランジスタの作成を容易にする。さらに、強誘電体キャパシタのリーク電流も大きくてもよい。従来のFRAMモードのみのFRAMと比べても、従来はビット線が0V~Vcc振幅している時、非選択のセルはセルトランジスタを介してセルノ

24

ードの電位が変動してデータが破壊されるが、本実施形態のセルトランジスタがその時ONしているため問題ないし、選択トランジスタのカットオフ電流も大きくてもデータ破壊はない。

【0121】さらに、非選択時ONしていることにより、セルにアルファ線等放射線が当たっても、これにより発生する収集電荷による、強誘電体キャパシタ間の電位差の発生によるソフトエラーは、従来セルと異なり、ONしているセルトランジスタによる強誘電体キャパシタ間のショートにより、起こりにくく、信頼性を大幅に向上できる。この非選択時ONしていることは、従来セルでは、SNが浮いているため、選択セルの動作による寄生容量カップリング等のノイズの影響を受けるが、本発明ではこれを防ぐことができる。

【0122】このように本実施形態では、従来不可能であった、(1/2)Vccプレート電位固定方式を採用して高速動作させても、リーク電流によるセルノードの降下は起こらず、その結果として、リフレッシュ動作が不要となる。また、セルトランジスタのカットオフ電流が大きく、即ちしきい値電圧を下げても、他のセルの情報は破壊されない。

【0123】次に、複数直列接続していたセルのどれか1つを選ぶ場合を考える。例えば、図2(a)中の右のメモリブロックの4セル直列のうち、プレート電極PLから2個目、ビット線BLから3個目のセル(Q3、Cf3)を選択する場合を考える。これを、図2(b)に示す。まず、選択セル(Q3、Cf3)のワード線WL02を“H”から“L”レベルに下げ、セルトランジスタQ3のみONからOFF状態にする。次いで、選択したメモリブロックのブロック選択線BS0を“L”から“H”レベルに上げ、選択トランジスタQ0のみOFFからON状態にする。

【0124】すると等価回路的に、プレート電極PLから1個目、3個目、4個目のセルトランジスタQ4、2、1はON状態で、2個目の選択したセルトランジスタQ3はOFF状態であるから、選択されたメモリセルの強誘電体キャパシタCf3の一端はプレート電極PLに電氣的に接続され、他端は選択トランジスタQ0を介してビット線BLに電氣的に接続される。よって、見掛け上は本実施形態の回路は、等価回路的に、従来の強誘電体メモリのセルトランジスタが選択トランジスタQ0に対応し、従来の強誘電体キャパシタが、そのまま強誘電体キャパシタQ3に対応する。

【0125】即ち、読み出し／書き込み時は、この1つのメモリブロックが、従来の1トランジスタ、1強誘電体キャパシタの1個のセルに対応し、メモリブロック内の他のセルトランジスタや他の強誘電体キャパシタは、見掛け上見えない。それ故、メモリブロック以外の部分の読み出し／書き込み方式に対して従来と同じ構成が取れ、従来の(1/2)Vcc固定プレート方式、0V~Vc

25

c変動方式のどちらにも対応する。

【0126】例えば、 $(1/2)V_{cc}$ 固定PL方式で言うと、セルデータ読み出し時、前もってビット線BLを0Vにプリチャージしておく、セル容量(Cf3の容量)に比べて、ビット線容量Cbは大きい、強誘電体キャパシタCf3の両端には、ほぼBL電圧-PL電圧 $=(-1/2)V_{cc}$ の電圧が印加され、前記図174

(b)で言うと、“1”データはB点からC点に分極反転を伴って移動し、“0”データはD点からC点に分極反転を伴わないで移動する。

【0127】よって、“1”データに関しては、 $P_s + P_r$ 分の電荷がBLに読み出され、“0”データに関しては、 $P_s - P_r$ 分の電荷がBLに読み出される。BL対を成す一方の参照BLを $P_s$ 分の電荷が読み出された場合と同等の電位だけ上げておくと、“1”データは $P_s + P_r - P_s = P_r$ 、“0”データは $P_s - P_r - P_s = -P_r$ の電荷差分だけBL対に電位差が発生する。そして、これをセンスアンプで増幅して、“1”データ時はBLが $V_{cc}$ 、“0”データ時はBLが $V_{ss}$ となり、この結果が選択セルの強誘電体キャパシタに再び書き込まれる。

【0128】このとき、“0”データはC点に留まり、“1”データはC点からD、Aと分極反転して元に戻る。その後、ブロック選択線BS0を“H”から“L”レベルに下げ、選択トランジスタQ0をOFFし、選択ワード線WL02を“L”から“H”レベルに戻すと、選択セル(Q3, Cf3)の強誘電体キャパシタの両端はショートされ、“1”データはA点からB点に戻り、“0”データはC点からD点に戻る。

【0129】メモリ選択時の読み出し/書き込み時に、プレート電極PLから1個目、3個目、4個目の非選択のメモリセル(Q4とCf4, Q2とCf2, Q1とCf1)は、セルトランジスタがON状態で強誘電体キャパシタの両端を0Vに抑えているため、セルデータが破壊されない。結果として、本実施形態においては、セルを直列接続しているにも拘らず、直列接続セルの内の任意のセルの読み出し/書き込みが可能となり、従来のNAND型セルのようなブロックアクセスではなく、完全なランダムアクセスが可能となる。

【0130】図3は、図2の回路構成を実現するためのセル構成であり、(a)は平面図、(b)は断面図である。これは、セルトランジスタ形成後、強誘電体キャパシタを形成するスタックセルであり、特に強誘電体キャパシタ形成後にビット線を形成するビット線後作りセルである。

【0131】セル構造としては、セルトランジスタのゲート層を最小加工寸法(F)で形成でき、拡散層やチャネル形成のアクティブ領域を最小加工寸法(F)で形成できるため、製造が容易な平面トランジスタで、しかも1個のセルサイズは

26

$$2F \times 2F = 4F^2$$

に縮小できる。

【0132】各セルノードは、 $3F \times 1F$ サイズであり、隣接する2つのセルノードSNの重なる領域 $F \times F$ に強誘電体キャパシタが形成される。一方、プレート電極PLは3F幅で、ワード線方向に引き伸ばされる。なお、選択ゲートも入れたセルサイズは、

$$(10F \times 2F) / 4 = 5F^2$$

のサイズになる。

【0133】セルトランジスタは、p基板或いはpウェルに形成される。強誘電体キャパシタは、トランジスタ形成後、ゲート・ゲート間の $n^+$ 型拡散層領域( $n^-$ でもよい)から、セルトランジスタのソース電極、ドレイン電極を上へ上げ、どちらか一方の電極を強誘電体キャパシタの下部電極、残りの一方を強誘電体キャパシタの上部電極にしている。例えば、メモリセル(Q3, Cf3)は、SN03側が下部電極、SN02側が上部電極となっており、その隣のセルは逆で、上部電極と下部電極の関係が交互に逆になっている。

【0134】こうすることで、スタック型において、強誘電体キャパシタをセルトランジスタと並列に接続できる。メモリブロック端のプレート電極PLは、SN02, SN00等と同一の上部電極配線を用いて引き伸ばせば良く、従来FRAMに比べてのプロセスのコスト増は無い。なお、上部電極と下部電極の位置を変える、pMOSセルトランジスタにする、SOIで構成するセルの強誘電体キャパシタ形状を変える等、各種変形は可能である。

【0135】DRAMのワード線等をAlやCu配線で裏打ち(snap)するように、従来FRAMでもWLの裏打ちが可能であるが、このとき従来FRAMセルは、WLの側にPLがあるため、このAlやCu配線でPLも裏打ちをすることは困難である。これに対し本発明では、PLは一部にしかなく、この部分で少し領域を広げれば、1層のAl又はCu配線でWLとPLの両方を裏打ちすることが可能となり、PL駆動方式を適用しても、PLのRC遅延は大幅に縮小できる。

【0136】図4は、図2の回路構成を実現するための別のセル構成であり、(a)は平面図、(b)は断面図である。これは、セルトランジスタ形成後、強誘電体キャパシタを形成するスタックセルであり、特に強誘電体キャパシタ形成前に、ビット線を形成するビット線先作りセルである。

【0137】各セルノードは、 $3F \times 1F$ サイズであり、セルノードSNとセルノードSNの交わる領域 $F \times F$ に強誘電体キャパシタが形成される。一方、プレート電極PLは3F幅で、ワード線方向に引き伸ばされる。BL形成後に、強誘電体キャパシタを形成するため、BLとBLの間から、セルノードを上へ引き上げる必要が

50 ある。

27

【0138】よってこの例では、BLダイコン（BLと選択トランジスタの接続部）で引き伸ばしパッドを用いて、BLに対し半ピッチずらしてアクティブエリア（拡散層、チャンネル部）を構成している。結果として、セル1個は

$$2F \times 2F = 4F^2$$

のサイズで、選択ゲートも入れると

$$(11F \times 2F) / 4 = 5.5F^2$$

のサイズになる。なお、選択トランジスタをBLに対して斜めに形成すれば、 $5F^2$  サイズに近付ける。

【0139】さて、このような新規の構造のFRAMを用いた図1のコンピュータシステムにおいては、次のような効果が得られる。

【0140】先に述べたように、本実施形態のFRAMにおいては、セルサイズが従来セルの半分にできるため、同じコストでは、第1に、大容量のメモリ容量が搭載できる。同じメモリ容量では、第2に、チップサイズが小さく場所を取らず、高密度化ができる。チップサイズが小さいため、第3に、応力に対して強い。さらに、本実施形態のFRAMにおいては、従来DRAMと同程度の高速動作が可能なプレート電位固定方式を採用して

もリフレッシュ動作が不要なため、第4に、低消費電力で高速動作が可能である。

【0141】また、リフレッシュ不要なため、第5に、データ保持を長く保つための強誘電体キャパシタリーク、pn接合リーク等のスベックが厳しすぎても、高速動作の実現が容易である。さらに、リフレッシュが不要なため、上記リークを心配する必要がなく、高温動作、高温環境で動作させることができるため、第6に、高温環境で高速動作が可能になる等の効果が期待できる。また、非選択セルの強誘電体キャパシタは常にセルトランジスタでONしているため、第7に、不意の電源切断に対して強い。

【0142】従来のFRAMは、データ保持の実現が難しいためプレート駆動方式を採用した場合、高速動作が難しく、コンピュータのメインメモリとして採用が困難であったが、本実施形態のFRAMは、上記第5の理由で、メインメモリ等の高速動作の用途の実現を可能にし、上記第4の理由で、携帯用途等で低消費電力と高速動作を要求するコンピュータシステムのメインメモリ等に適用できる。上記第6の理由で、熱放熱の悪い小さいコンピュータシステムのメインメモリ等に適用できる。上記第1、第2の理由で、コンパクトながら大容量のメインメモリ等を実現できる。

【0143】このように、従来のFRAMでは適用困難、或いは無理に適用した場合、性能の大幅な劣化、コストの増加、システムサイズの増大を引き起こしたものを、今回提案した新規のFRAMを用いることで全て解決することができる。また、従来のコンピュータシステムでは、RAM、ROM、不揮発性メモリの3種類を搭

28

載していたが、本実施形態のFRAMは、高速で不揮発なため、図1に示すように、本実施形態のFRAM単一で必要なメモリを全て置き換えることも可能となる。また、従来のDRAMと同様な動作スピードを実現するため、不揮発性でしかも、そのままDRAMと置き換えることも可能である。

【0144】（第2の実施形態）図5は、本発明の第2の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0145】本実施形態では、図1の構成に加えてFRAM12を制御するためのコントローラ15を設けている。より具体的には、FRAM12はコントローラ12を介してBUS14とつながっている。

【0146】このような構成であっても、先の第1の実施形態と同様の効果が得られる。さらに、本実施形態のコントローラ15は、リフレッシュ制御信号の発生回路を省略でき、低コスト化がはかれる。

【0147】（第3の実施形態）図6は、本発明の第3の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。なお、図5と同一部分には同一符号を付して、その詳しい説明は省略する。

【0148】本実施形態が、先の第2の実施形態と異なる点は、FRAM12のI/Oが直接システムBUS14に接続されている点で、このようにシステム構成は自由である。

【0149】このような構成であっても、第1の実施形態と同様の効果が得られる。さらに、本実施形態のコントローラ15は、リフレッシュ制御信号の発生回路を省略でき、低コスト化がはかれる。

【0150】（第4の実施形態）図7は、本発明の第4の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0151】本実施形態では、図1の構成に加えてRAM16を設けている。より具体的には、BUS14にRAM16が接続されている。

【0152】このような構成であっても、第1の実施形態と同様の効果が得られる。また、本実施形態はRAM16も装備しており、FRAM12に書き換え回数に制限があり、RAMが必要な場合や、RAMとして高速SRAMや高速DRAM等を用いる等に適用できる。

【0153】（第5の実施形態）図8は、本発明の第5の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0154】本実施形態では、図1の構成に加えてROM17を設けている。より具体的には、BUS14にROM17が接続されている。

【0155】このような構成であっても、第1の実施形

29

態と同様の効果が得られる。また、本実施形態はROM 17も装備しており、書き換えしないOSや漢字等のデータをROM 17に格納しておくことにより、低コスト化をはかることができる。

【0156】(第6の実施形態)図9は、本発明の第6の実施形態に係わるコンピュータシステムの基本構成を示すブロック図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0157】本実施形態では、図1の構成に加えてRAM 16とROM 17を設けている。より具体的には、BUS 14にRAM 16及びROM 17が接続されている。

【0158】このような構成であっても、第1の実施形態と同様の効果が得られる。また、第4の実施形態と同様にRAM 16を装備していることから、FRAM 12に書き換え回数に制限があり、RAMが必要な場合や、RAMとして高速SRAMや高速DRAM等を用いる等に適用できる。さらに、第5の実施形態と同様にROM 17も装備していることから、書き換えしないOSや漢字等のデータをROMに17入れておき低コスト化がは

【0159】(第7の実施形態)図10は、本発明の第7の実施形態に係わるICカードの基本構成を示す模式図である。

【0160】このICカードは、FRAM 21を搭載したICチップ22をICカード本体20上に設置して構成されている。

【0161】本実施形態は、本発明の半導体記憶装置(FRAM)をICカードに搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0162】このように本発明のFRAMを搭載したICカードにおいては、第1の実施形態で説明した前記第3の理由で、ICカードの応力に対する信頼性の大幅向上、或いは同じ応力耐圧条件で大容量のデータ記憶が実現できる。通常ICカードでは、応力限界のため、ICチップサイズが25mm<sup>2</sup>以上が不可能とされており、この問題解決は非常に重要なものとなる。

【0163】また、ICカードも低消費電力化、高信頼性化、高速化が重要で、本発明を適用することにより、前記第4、5、6、7の理由で、性能向上をはかることができる。さらに、従来のFRAMでは、リコール動作等、電源投入後及び電源OFF時に大きなタイムラグを消費していたが、第8の理由として、本実施形態ではこのタイムラグを不要にして、高速リスポンスを可能にするため、ICカードのカード挿入後リスポンス、ICカード抜き取りのリスポンスを高速化できる。

【0164】(第8の実施形態)図11は、本発明の第8の実施形態に係わるデジタル画像取り込みシステムの基本構成を示すブロック図である。

30

【0165】このシステムは、画像データを入力するためのCCD撮像器、CMOSセンサ等の画像入力装置31と、入力された画像データを圧縮するデータ圧縮装置32と、圧縮された画像データを記憶するFRAM 33と、圧縮された画像データを出力又は画像データを入力する入出力装置34と、入力された画像データ又は圧縮された画像データを表示するLCD等の表示装置35と、これらを接続するためのシステムBUS 36とから構成されている。

【0166】本実施形態は、本発明の半導体記憶装置(FRAM)をデジタルカメラやデジタルビデオカメラ等のデジタル画像取り込みシステムに搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0167】このように本発明のFRAMを用いたデジタル画像取り込みシステムにおいては、第1の実施形態で説明した第1、2の理由で、コンパクトで大容量の画像データを記憶できる。さらに、前記第4、5の理由で携帯として重要な低消費電力でバッテリー寿命を伸ばしつつ、高速に圧縮データを記憶することができる。また、従来バッファ等の高速一次RAMを必要としたが、本発明のFRAMを用いることでバッファ等のRAMを不要にすることもできる。さらに、前記第6の理由で、屋外の晴天時の高温動作での信頼性も向上させることができる。

【0168】(第9の実施形態)図12は、本発明の第9の実施形態に係わるメモリシステムの基本構成を示すブロック図である。

【0169】このシステムは、データを記憶するための複数のFRAM 43と、これらのFRAM 43と外部機器との間でデータのやり取りを行うための入出力装置41と、FRAM 43及び入出力装置41との間に配置されたコントローラ42と、システムBUS 44とから構成されている。

【0170】本実施形態は、本発明の半導体記憶装置(FRAM)をメモリカードやハードディスクの置き換え等のメモリシステムに適用した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0171】このように本発明のFRAMを用いたメモリシステムにおいては、第1の実施形態で説明した第1、2の理由で、コンパクトで大容量の画像データを記憶できる。さらに、前記第4、5の理由で、高速で低消費電力であり携帯機器等のメモリ記憶装置、増設メモリとして利用した場合、バッテリー寿命を伸ばせる等の特徴がある。また、前記第7の理由で、不意の電源切断にも強くできる。さらに、コントローラでECC制御も可能となる。

【0172】(第10の実施形態)図13は、本発明の第10の実施形態に係わるメモリシステムの基本構成を



示すブロック図である。なお、図12と同一部分には同一符号を付して、その詳しい説明は省略する。

【0173】本実施形態が、先の第9の実施形態と異なる点は、FRAM43を入出力装置41に直接接続し、コントローラ42をBUS44とは独立して設けたことである。このような構成であっても、第9の実施形態と同様の効果が得られる。

【0174】(第11の実施形態)図14は、本発明の第11の実施形態に係わるメモリシステムの基本構成を示すブロック図である。なお、図12と同一部分には同一符号を付して、その詳しい説明は省略する。

【0175】本実施形態が第9の実施形態と異なる点は、コントローラ42を省略し、入出力装置41とFRAM43との最小の構成でメモリシステムを実現したことである。

【0176】このような構成であっても、第9の実施形態と同様の効果が得られる。また、システム構成が簡単であることから、より一層の低コスト化が実現できる。

【0177】(第12の実施形態)図15は、本発明の第12の実施形態に係わるマイクロプロセッサチップの基本構成を示すブロック図である。

【0178】このシステムは、各種の演算処理を行うためのマイクロプロセッサコア部(MPU)51と、データの記憶を行うためのFRAM52とを、同一チップ上に混載して構成されている。ここでFRAM52は、MPU51のマイクロコードメモリとして使用されている。

【0179】本実施形態は、本発明の半導体記憶装置(FRAM)をMPU等のシステムLSI内部に搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0180】このように本発明のFRAMを混載したマイクロプロセッサチップにおいては、FRAMに記憶させるマイクロコードを変えることにより、MPUの命令等を容易に変更することができる。

【0181】また、第1の実施形態で説明した前記第1、2の理由で、コンパクトで大容量のマイクロコードの搭載ができる。さらに、通常のFRAMでマイクロコードの置き換えをした場合、低速のために高性能MPUは実現できなかったが、前記第4、5の理由で、高速で低消費電力なMPUが実現できる。また、MPUは、消費電力が非常に大きく高温で、とても従来のリフレッシュが必要なFRAMは混載できないが、前記第6の理由で、高温のMPUでも、高速で不揮発なマイクロコードメモリを搭載できる。また、前記第7の理由で、MPUのデジタル部からのノイズにも強くできる。

【0182】(第13の実施形態)図16は、本発明の第13の実施形態に係わるマイクロプロセッサチップの基本構成を示すブロック図である。なお、図15と同一部分には同一符号を付して、その詳しい説明は省略す

る。

【0183】本実施形態が先の第12の実施形態と異なる点は、FRAM52を、MPU51のインストラクション・キャッシュメモリとして使用したことにある。このように、FRAM52をMPU51のインストラクション・キャッシュメモリとして搭載することにより、不揮発性でしかも高速なキャッシュメモリを実現することができる。

【0184】また、第1の実施形態で説明した前記第1、2の理由で、コンパクトで大容量のインストラクション・キャッシュを搭載できる。さらに、通常のFRAMでインストラクション・キャッシュの置き換えをした場合、低速のために高性能MPUは実現できなかったが、前記第4、5の理由で、高速で低消費電力なMPUが実現できる。また、MPUは、消費電力が非常に大きく高温で、とても従来のリフレッシュが必要なFRAMは混載できないが、前記第6の理由で、高温のMPUでも、高速で不揮発なインストラクション・キャッシュメモリを搭載できる。また、前記第7の理由で、MPUのデジタル部からのノイズにも強くできる。

【0185】(第14の実施形態)図17は、本発明の第14の実施形態に係わるマイクロプロセッサチップの基本構成を示すブロック図である。なお、図15と同一部分には同一符号を付して、その詳しい説明は省略する。

【0186】本実施形態が先の第12の実施形態と異なる点は、FRAM52を、MPU51の2次データキャッシュメモリとして使用したことにある。また、この例では、1次データキャッシュとしてSRAM等の高速メモリ53を用いている。ここで、1次及び2次の全キャッシュを本発明のFRAMとして用いても良いし、MPU+本発明のFRAMとして、任意の目的で用いても良い。

【0187】このように、FRAM52をMPU51の2次データキャッシュメモリとして搭載することにより、不揮発性でしかも高速なキャッシュメモリを実現することができる。

【0188】また、第1の実施形態で説明した前記第1、2の理由で、コンパクトで大容量のデータキャッシュを搭載できる。さらに、通常のFRAMでデータキャッシュの置き換えをした場合、低速のために高性能MPUは実現できなかったが前記第4、5の理由で、高速で低消費電力なMPUが実現できる。また、MPUは、消費電力が非常に大きく高温で、とても従来のリフレッシュが必要なFRAMは混載できないが、前記第6の理由で、高温のMPUでも、高速で不揮発なデータキャッシュメモリを搭載できる。また、前記第7の理由で、MPUのデジタル部からのノイズにも強くできる。

【0189】(第15の実施形態)第18は本発明の第15の実施形態に係わるシステムLSIチップの基本構

33

成を示すブロック図である。

【0190】このシステムは、各種の論理演算を行うためのロジック部61と、データの記憶を行うためのFRAM62とを、同一チップ上に混載して構成されている。

【0191】本実施形態は、本発明の半導体記憶装置(FRAM)をシステムLSI内部に搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0192】このように本発明のFRAMを混載したシステムLSIチップにおいては、第1の実施形態で説明した前記第1、第2の理由で、低面積で大容量化が可能で、第4、第5、第6の理由で、高速、低消費電力、混載高温環境に適応できるため、システムLSIの性能が大幅に向上できる。また、前記第7の理由で、デジタルノイズに強い。

【0193】(第16の実施形態)図19は、本発明の第16の実施形態に係わる画像処理LSIチップの基本構成を示すブロック図である。

【0194】このシステムは、各種の画像処理を行うための画像処理部71と、データの記憶を行うためのFRAM72とを、同一チップ上に混載して構成されている。

【0195】本実施形態は、本発明の半導体記憶装置(FRAM)を画像処理LSI内部に搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0196】このように本発明のFRAMを混載した画像処理LSIチップにおいては、第1の実施形態で説明した第1、第2の理由で、低面積で大容量化が可能で、第4、第5、第6の理由で、高速、低消費電力、混載高温環境に適応できるため、画像処理データ、圧縮データをいち早く書き込み、読み出しができる。また、前記第7の理由で、デジタルノイズに強い。

【0197】(第17の実施形態)図20は、本発明の第17の実施形態に係わるロジック可変LSIチップの基本構成を示すブロック図である。

【0198】このシステムは、異なる論理演算を行う複数のロジック部81と、各ロジック部81に対応したFRAM82とを、同一チップ上に混載して構成されている。

【0199】本実施形態は、本発明のFRAMをロジック可変LSIのロジック可変のためのメモリとして搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0200】FPD、FPGA、論理演算の再構成可能な(Reconfigurable)ロジック等では、不揮発で小さい面積で、高速にロジックの組み合わせを変える必要があり、本発明のFRAMは、前記第1、第2の理由で、低

34

面積で大容量化が可能で、第4、第5、第6の理由で、高速、低消費電力、混載高温環境に適応できるため、最適である。また、前記第7の理由で、デジタルノイズに強いし、また前記第8の理由でON/OFFのレスポンスも速い。

【0201】なお、本実施形態のロジック可変LSIにおいては、FRAM1箇所にとめても良いし、図20のように、分散しても良いし、さらにモジュール毎に分散させても良い。

【0202】(第18の実施形態)図21は、本発明の第18の実施形態に係わる携帯コンピュータシステムの基本構成を示すブロック図である。

【0203】このシステムは、各種の演算処理を行うマイクロプロセッサ(MPU及びコントローラ:以下MPUと略記する)91と、このMPU91に接続されデータの入力を行うための入力機器92と、MPU91に接続され外部機器とのデータのやり取りを行う送受信器93と、この送受信器93に接続されたアンテナ94と、MPU91に接続され必要な情報を表示するLCD等の表示機器95と、MPU91に接続されデータの記憶を行うFRAM96とから構成されている。

【0204】送受信器93は携帯電話等で用いられる電波の送受信機能を有するもので、表示機器95としては、LCDやプラズマディスプレイ等を用いることができる。さらに、入力機器92としては、ハンドタッチ、キー入力、音声入力、CCDを用いた画像入力等が適用できる。

【0205】本実施形態は、本発明の半導体記憶装置(FRAM)を携帯コンピュータシステムに搭載した例である。本実施形態に用いたFRAMの詳細は第1の実施形態で説明した通りであり、ここでは省略する。

【0206】このように、本発明のFRAMを搭載した携帯コンピュータシステムにおいては、第1の実施形態で説明した前記第1、第2の理由で、メモリ部が低面積で大容量化が可能で、第4、第5、第6の理由で、高速データ処理、データの記憶及び読み出しが可能となる。さらに、低消費電力でバッテリー寿命を伸ばし、高温環境に適応できる。また、前記第7の理由で、デジタルノイズ、電磁ノイズに強いし、また前記第8の理由で電源ON/OFFのレスポンスも速い。従って、従来にない優れた携帯コンピュータシステムを実現することが可能となる。

【0207】以上は、本発明のFRAMを用いた各種システムの実施形態であったが、以下に、本発明のFRAMに関する各種の実施形態について説明する。

【0208】(第19の実施形態)図22は、本発明の第19の実施形態に係わるFRAMの基本構成を示す等価回路図である。前記図2に示した第1の実施形態と異なる点は、1つのメモリブロック内の直列接続のセル数を図2の2倍の8個に変更した点である。

35

【0209】従来のNAND型セルでは、セルの直列数を増やすとビット線容量が低減できた反面、あまり増やすとビット線から遠いセルの読み出し時、ビット線からそのセルまでの他のセル容量がビット線容量の増加となり、逆にビット線容量が増加する欠点があり、直列数は4個程度が限界であった。

【0210】これに対し本発明においては、セルの直列数をより増やしてビット線容量を大幅に低減できる。直列数を増加させると、BLダイコン部の減少により、選択トランジスタのドレイン側の容量、拡散層容量等が、 $1/n$  ( $n$ は直列接続数)に低減でき、 $n$ の数を増やしても、セルデータ読み出し時、選択ブロック内の非選択セルの強誘電体キャパシタの両端はショートされているため、強誘電体キャパシタの容量が電気的に見えなくなる。従って、このセル部の増加分は、セルトランジスタのゲートの反転容量と拡散層容量等の僅かである。よって、直列接続数を図22のように8にしても、16としても32としても可能である。

【0211】直列接続数を増やした時の問題は、読み出し時間/書き込み時間の問題であるが、1個のトランジスタのON抵抗を12k $\Omega$ 、拡散層抵抗を1k $\Omega$ 、1個の強誘電体キャパシタの容量を30fFとしても、1段当たりのRC時定数=13k $\times$ 30f=0.4ns、4段で1.6ns、8段で3.2nsである。通常、読み出し時のワード線(及びブロック選択線)の遅延が5ns~10nsであること、データ再書き込み時間が20ns~30nsであることを考えると、上記のRC時定数は殆ど問題とならない。

【0212】また、直列接続した場合、非選択セルのセルトランジスタのON抵抗により、強誘電体キャパシタの両端に僅かに電圧が印加されるが、この問題もブロック選択線の遅延が5ns~10nsで、セルトランジスタのON抵抗によるRC時定数より1けた以上大きい点、直列段数が増加すると、1セル当たりのブロック選択線が立ち上がった瞬時の印加電圧も減るため問題ない。

【0213】本実施形態のように8段接続のケースでは、前記図3のビット線後作りセルで、選択トランジスタを含む1セル当たりのセルサイズは、

$$(18F \times 2F) / 8 = 4.5F^2$$

図4のビット線先作りセルで、

$$(19F \times 2F) / 8 = 4.75F^2$$

となり、段数が多いと4F<sup>2</sup>に近くなる。

【0214】(第20の実施形態)図23は、本発明の第20の実施形態に係わるFRAMの基本構成を示す等価回路図である。

【0215】本実施形態においては、前記図2の構成に選択トランジスタをもう1段追加している。同一セルアレイの隣接したビット線BLと/BLを対として、センスアンプSAに接続しており、フォールデッドビット線構成をとる。選択トランジスタの一方をDタイプ(Depl

36

etion)トランジスタ、他方をEタイプ(Enhancement)トランジスタにしておくことにより、一方の選択トランジスタは選択ブロック線の電圧に拘らずONしており、等価回路的にショートしている状態を作る。よって、残りの選択ブロック線で、他方の選択トランジスタを制御する。

【0216】より具体的には、2つの選択トランジスタを介して/BLにつながるメモリブロックは、/BL側がEタイプの選択トランジスタ、メモリブロック側がDタイプの選択トランジスタである。同様に、2つの選択トランジスタを介してBL側につながるメモリブロックは、BL側がDタイプの選択トランジスタ、メモリブロック側がEタイプの選択トランジスタである。

【0217】例えば、図中の任意のメモリセル(Q5, Cf5)を選択する場合を考える。このとき、WL02を“H”から“L”レベルに下げ、選択ブロック線BS00のみを“L”から“H”レベルに上げる。すると、/BL側につながる選択トランジスタは共にON状態になり、BL側につながる選択トランジスタの一方はOFF状態のままであり、従って/BL側のみセルデータが読み書きされる。BL側は参照ビット線として、フォールデッドBL構成が取れ、DRAMと同様にアレイノイズが低減される。

【0218】但し、フォールデッドBL構成をとると、非選択側のメモリブロックのセル(Q6, Cf6)のセルトランジスタQ6がアクティブ中にOFFになり、SN103はPLにショートしてPLと同電位であり、SN100~102同士もセルトランジスタのショートにより同電位であるが、SN100~102の何れかにpn接合リーク等のリーク電流が発生すると、SN103に対して、SN100~102の電位が下がり、蓄積分極が破壊される。

【0219】しかしながらこの問題は、強誘電体メモリがアクティブ状態にのみ発生し、通常のDRAM等のメモリでは、最大アクティブ時間( $t_{RASmax}$ )は10 $\mu$ sという制約があり、通常のDRAM等の最大リフレッシュ時間( $t_{REFmax}$ : 64MビットDRAMで64ms)等に比べ短いため、リークスベックは非常に緩くでき問題ない。即ち、アクティブ時間終了と同時に元のショート状態に戻り、データは回復する。さらに、スベックを緩めるには、 $t_{RAS}$ 、 $t_{CE}$ 等のスベックをきつくすれば良い。また当然、図2等の回路ではこの問題は発生しない。

【0220】本実施形態におけるFRAMの従来FRAMと比べて本質的な違いは、従来のFRAMは、強誘電体キャパシタの一端をフローティングにするため、スタンバイ時間は無限でありリフレッシュが必要であったのに対し、本実施形態では、一端と他端を常に短絡するため、リフレッシュが不要となることである。さらに、フォールデッドBL構成だと、アクティブ時間だけ一部セルがフローティングになるが、この時間は有限である

37

ため問題ないわけである。

【0221】図24は、図23の回路構成を実現するためのセル構成であり、(a)はPLから一端のビット線コンタクトまでの平面図、(b)は一端のビット線コンタクトより他端のビット線コンタクトまでの断面図である。これは、セルトランジスタ形成後、強誘電体キャパシタを形成するスタックセルであり、特に強誘電体キャパシタ形成後にビット線を形成するビット線後作りセルである。前記図3に比べ、1本ブロック選択線が追加された点と、Dタイプ用チャネルイオン注入(DCI)のためのマスクが追加された点が異なる。

【0222】図25は、図23の回路構成を実現するための別のセル構成であり、(a)はPLから一端のビット線コンタクトまでの平面図、(b)は一端のビット線コンタクトより他端のビット線コンタクトまでの断面図である。これは、セルトランジスタ形成後、強誘電体キャパシタを形成するスタックセルであり、特に強誘電体キャパシタ形成前に、ビット線を形成するビット線先作りセルである。前記図4に比べ、1本ブロック選択線が追加された点と、Dタイプ用チャネルイオン注入(DCI)のためのマスクが追加された点が異なる。

【0223】ちなみに、フォールデッドBLにおいても8段のケースでは、図24のビット線後作りセルで、選択ゲートトランジスタを含む1セル当たりのセルサイズは、

$$(20F \times 2F) / 8 = 5F^2$$

図25のビット線先作りセルで、

$$(21F \times 2F) / 8 = 5.25F^2$$

となり、段数が多いと理想の $4F^2$ に近くなる。

【0224】前記図23において、Dタイプのトランジスタを用いずに、図26に示すように、このトランジスタがある部分を通過のブロック選択線として、フィールドトランジスタ化して、フィールド酸化膜下に $n^+$ 層を形成して、本来のソース・ドレインとなるところ同士を接続しても良い。ここで、図26(a)はBS0側をフィールドトランジスタ化した場合を示し、図26(b)はBS1側をフィールドトランジスタ化した場合を示す。ブロック選択線の上を別の配線を用いて、本来のソース・ドレインとなるところ同士を接続しても良い。

【0225】また、図27(a)に示すように、ストレージノードの層をうまくつないで配線しても良いし、図27(b)に示すように、BLダイコン数を増やして対処しても良い。Dタイプのトランジスタを用いた場合、DタイプトランジスタがBLダイコン側にあるセルブロックの場合、非選択ブロックであっても、Dタイプのトランジスタのチャネルの反転層容量がBL容量として見え、BL容量が重くなる。この問題を、図26、図27のようなDタイプトランジスタを利用しない場合は解決することができる。以下、全てのDタイプのブロック選択トランジスタを用いる実施形態にこれは当てはまる。

38

【0226】(第21の実施形態)図28は、本発明の第21の実施形態に係わるFRAMの概略構成を示す図である。これは、本発明のメモリを複数のセルアレイブロックと、センスアンプブロックで構成した場合を示す。

【0227】図28(a)は、オープンBL構成を示し、前記図2の実施形態が適用できる。BLは、セルアレイ端で交互にセンスアンプSAに引き出し、これによりセンスアンプルールを緩和している。

【0228】図28(b)は、フォールデッドBL構成で、前記図23の実施形態が適用できる。センスアンプSAは、 $\phi_{ti}$ 信号をデータ読み出し時、左右のセルアレイのどちらか選択しない方を下げるにより共用でき、これによりセンスアンプ数を半減している。

【0229】図2の回路においても、2セルを1ビットデータにして、BL側に“1”(“0”)データを書き、/BL側に逆の“0”(“1”)データを書くようにすれば、図28(b)のように、詳細には図29に示すように、フォールデッドBL構成を容易に実現できる。この場合、セルサイズを従来の $8F^2$ から $4F^2$ の半分にできることから、従来の1トランジスタ/1強誘電体キャパシタ方式と比べて、チップサイズが変わらず、読み出し信頼性の向上及びダミーセル不要の効果がある。

【0230】図28(c)は、ビット線BLとセンスアンプSAの接続を時分割して接続する方法であり、図2、図23の両方の実施形態が適用できる。

【0231】(第22の実施形態)図30は、本発明の第22の実施形態に係わるFRAMの概略構成を示すブロック図である。この方式でも、図2、図23の実施形態の両方が適用できる。

【0232】図30(a)において、1つのセルアレイブロック及びセンスアンプブロックは、ワード線方向に複数のサブブロックに分割される。そして、全サブブロック中の一部分のサブブロック或いは、1個のサブブロックのみを活性化することにより、アクティブ電流を大幅に低減できる。通常、プレート電極PLを0Vから $V_{cc}$ に変動させる方式では、負荷容量の大きいPL駆動のため、このような例を利用しているが、PLを $(1/2)V_{cc}$ 固定の方式では、リフレッシュが必要のため、むやみにサブブロックを増やし、活性させるカラム数を減らせなかった。これに対し本実施形態では、リフレッシュ不要なので、 $(1/2)V_{cc}$ PL固定方式でも、十分にサブブロックを増やし、活性させるカラム数を減らせて、消費電流を低減できる。

【0233】さらに、図30(b)のように、 $(1/2)V_{cc}$ PL固定の場合、データの読み書きさせたいカラム(/BL1, BL1)のビット線のみを $V_{ss}$ にプリチャージしておき、センスアンプ動作させ、他のカラムを $(1/2)V_{cc}$ にプリチャージしておき、センスアンプ動

39

作させなければ、1カラムだけ動作が可能となる。これも、非選択カラムでは、ビット線とPLが  $(1/2)V_{cc}$  のままでワード線、ブロック選択線を動作させても、データが破壊されないことを利用している。

【0234】また同様に、 $(1/2)V_{cc}$  PL固定の場合、データの読み書きさせたいカラム（ $\backslash BL$ ,  $BL$ ）のビット線のみ  $V_{cc}$  にプリチャージしておき、センスアンプ動作させ、他のカラムを  $(1/2)V_{cc}$  にプリチャージしておき、センスアンプ動作させなければ、1カラムだけ動作が可能となる。また同様に、0Vから  $V_{cc}$  まで変動させるPL駆動の場合でも、ビット線を  $V_{cc}$  にプリチャージしておいて、データの読み書きを実行することも可能である。

【0235】（より詳しい動作説明）次に、前記図2、図23、図28、図29、図30の実施形態の動作例を、図31、図32、図33を参照して説明しておく。信号名は、図23のQ5、Cf5のセルを選択した場合に準じている。図31、図32は、 $(1/2)V_{cc}$  固定PLの場合を示し、後半の動作が図31と図32で一部異なる。図33は0V $\sim V_{cc}$  PL電位変動方式の場合を示す。

【0236】図31においては、ビット線 $\backslash BL$ ,  $BL$ を  $V_{ss}$  プリチャージしておき、WL02を“H”から“L”にし、セルトランジスタQ5をOFFにして、BS00を“L”から“H”にし、セルとビット線を接続する。すると、 $BL \cdot PL$ 間に $(1/2)V_{cc}$ の電位差が発生し、セル電荷が読み出され、センスアンプにより、 $\backslash BL$ ,  $BL$ が  $V_{ss}$ ,  $V_{cc}$  に増幅される。そして、セルの再書き込みがなされる。このとき、 $\backslash BL$ ,  $BL$ を  $V_{ss}$ ,  $V_{cc}$  にしたままで、BS00を閉じ（“L”にし）、WL02を上げ（“H”にし）、セルトランジスタQ5をONにする。Q5をONにすると、自動的に、Cf5の両端の電位差が0Vとなり書き込み終了となる。

【0237】BS00を閉じた後はこれと平行し、 $\backslash BL$ と $BL$ をショートして  $(1/2)V_{cc}$  にしてから、次のアクティブ動作に備え、 $\backslash BL$ ,  $BL$ を0Vにする。変形として、 $\backslash BL$ と $BL$ をショートせずに、直接 $\backslash BL$ ,  $BL$ を0Vにしてもよいし、ショートと0V化を同時に行ってもよい。

【0238】図32の例は、図31と一部異なり、 $\backslash BL$ ,  $BL$ をショートしてから、BS00を閉じ、WL02を上げ、Q5をONしている。これは、図31はWL02を上げCf5の両端をショートしているが、図32では $\backslash BL$ ,  $BL$ のショートにより、 $PL = (1/2)V_{cc}$ ,  $\backslash BL$ ,  $BL = (1/2)V_{cc}$ で、Cf5の両端の電位差を無くしている点が異なる。この場合、BS00の下げ、WL02の上げの順序は問わない。その後、 $\backslash BL$ ,  $BL$ 電位を  $V_{ss}$  に落としている。

【0239】図33の例は、PL変動型の例を示す。ビット線 $\backslash BL$ ,  $BL$ を0Vにプリチャージしておいてか

40

ら、WL02を下げ、BS00を上げる。このとき、 $BL = PL = 0V$ のため、データは読み出されない。次に、 $PL$ 電位を0Vから  $V_{cc}$  に上げると、“1”データは分極反転して、前記図174(b)中B点からC点に移り、“1”と“0”読み出しに電位差が生じる。

【0240】“0”データは、センス動作で、ビット線が0Vにされると、C点に戻され、“1”データは、D点に移動する。次いで、 $PL$ を0Vに下げると、“0”データはD点に移動し、“1”データはA点に戻される。その後、BS00を下げ、WL02を上げると、“0”データはD点のままで、“1”データはB点に移動し、読み出し前の状態に戻る。その後、ビット線は $\backslash BL$ ,  $BL$ をショートしてから  $V_{ss}$  に戻される。

【0241】図34、図35は本発明の主な効果をまとめている。図34において、従来の8F<sup>2</sup>セル、縦型トランジスタ4F<sup>2</sup>セル、NAND型セルと、本発明とを比較している。本発明は、セルサイズは他の4F<sup>2</sup>セルと同等に小さく、しかもビット線容量を低減できるため、1ビット線当たり多くのセルを接続できる。その結果としてセンスアンプ数を低減できるため、チップサイズは最も小さくなる。さらに、平面トランジスタで容易に実現でき、しかもランダムアクセスが可能である。これらの両立は、従来は不可能であった。さらに、フォールデッドBL構成を実現でき、ノイズも低減できる。もちろん不揮発性が実現できる。

【0242】ちなみに、ノイズに関して言うと、従来縦型トランジスタ4F<sup>2</sup>セルをフォールデッドBL構成にするには、ビット線を2層化すれば実現できることを本発明者らは提案しているが（特開平7-94597号公報）、この場合はコスト増が生じる。

【0243】NANDセルをフォールデッドBLにするには、ブロック選択線を追加すれば実現できることを本発明者らは既に提案しているが（特開平7-73666号公報）、この場合は本発明と異なり、完全なランダムアクセスのフォールデッドBLに成り得ない。これは、ブロック選択線を追加して、参照側のセルデータを  $BL$  に読み出されないようにしても、セルがNAND接続のため、ブロック選択線の選択ゲートトランジスタのソース側まで、データが既に読み出されているので、結果として、必ず次にこのデータを読み出さないとデータが破壊されるためである。

【0244】図35は、従来のFRAMと本発明とを比較している。上述してきたように、本発明においては、

$(1/2)V_{cc}$  の固定プレート方式で、高速化を実現しつつ、リフレッシュ動作が不要となる。従来のFRAMでは、これらの両立は不可能であった。即ち、プレートを0V $\sim V_{cc}$  に変動する方式ではリフレッシュを不要にできるが、プレートを  $(1/2)V_{cc}$  に固定する方式では必ずリフレッシュが必要であった。

【0245】（第23の実施形態）図36は、本発明の

41

第23の実施形態に係わるFRAMを説明するためのもので、特にダミーセル方式を用いたセンスアンプ回路を示している。なお、前記図23のDタイプ選択トランジスタは、常にONであるため短絡したものとみなし、この回路図からは除いてある。

【0246】図36(a)は、カップリング型ダミーセルの場合を示す。その動作例を図37に示す。これは、 $(1/2)V_{cc}$  PL方式の図31の動作例をより詳細にしたものである。

【0247】スタンバイ中はVPSを“H”に保ち、ビット線をVssにしておき、アクティブ時はVPSを下げ、EQLを下げ、ビット線を0Vでフローティングにする。 $\phi t1$ のみ“L”レベルにして、センスアンプの左側のセルアレイを選択する。その後、WL02下げ、BS00を上げ、セルデータをビット線に読み出す。このとき、参照ビット線側は、ダミーワード線DWL0を“L”から“H”に上げ、C2のカップリングにより、ビット線BL側を読み出し電荷が飽和分極Ps分読み出したと等価なだけ、BL側の電位を上げればよい。これは、DWL0の振幅量(VDH)、C2の容量を調整すれば実現できる。

【0248】その後、/SANを下げ、SAPを上げ、センスアンプを動作させ、ビット線をVss、Vccにし、セルデータ再書き込みが終了する。その後、BS00を下げ、WL02を上げる。次に、EQLを上げると、/BL、BLはショートされ、VPSを上げると/BL、BLは0Vに下がる。勿論、本ダミーセルは、PLの0V~Vcc駆動方式にも適用できる。

【0249】図36(b)は、図2のセルで、2セルで1ビットデータを記憶する場合を示し、この場合、ダミーセルは不要となる。

【0250】(第24の実施形態)図38は、本発明の第24の実施形態に係わるFRAMを説明するためのもので、特にダミーセル方式を用いたセンスアンプ回路を示している。なお、前記図23のDタイプ選択トランジスタは、常にONであるため短絡したものとみなし、この回路図からは除いてある。

【0251】図38(a)は、図36(a)と一部異なり、/BL、BLをイコライズして $(1/2)V_{cc}$ にするとき、より正確に電位を固定するために、EQLを上げた時VBL(=  $(1/2)V_{cc}$ )電位にしている。これは例えば、図32の動作のように、/BL、BLをイコライズしてCf5の両端を同電位にする場合、リーク等でPL=/BL、BLからずれた場合、蓄積電荷のロスが生じるのを防ぐ。

【0252】この場合の詳細動作を、図39に示す。EQLを上げて、/BL、BLをショートして、BS00を下げ、WL02を上げ、次にVPSを上げる前に、EQLを下げる。なお、EQLを下げるのは、VBLとVssのショートの短絡を防ぐためである。

42

【0253】図38(b)は、同様に図36(b)にVBL回路を付加した例を示す。

【0254】(第25の実施形態)図40は、本発明の第25の実施形態に係わるFRAMを説明するためのもので、特にダミーセル方式を用いたセンスアンプ回路を示している。なお、前記図23のDタイプ選択トランジスタは、常にONであるため短絡したものとみなし、この回路図からは除いてある。

【0255】図40(a)は、図36(a)の回路と比較してダミーセル方式のみ異なる。図40(a)においては、強誘電体キャパシタでダミーセルを構成している。この動作を図41に示す。図41は、図37と比較してダミーセルの動作のみ異なる。

【0256】図40(a)のダミーセル構成は、図23のフォールデッドBL構成のメモリセルの直列接続数を1とした場合と等価となる。本ダミーセルは、各種動作が可能で、図41のDBS0の(X)の動きでは、前記図174(b)において、スタンバイ中はD点に位置している。図41でWL02が下がり、BS00が上がり、セルデータが/BLに読み出されると同時に、DWLが下がり、DBS0が上がると、ダミーセルデータがBL側に読み出される。その後、センス動作、再書き込み、BS00を閉じ、WL02を上げ元に戻してから、/BL、BLはショート、/BL=BLVssへ引き落す。このとき、ダミーセルノードDNは0Vとなり、図174(b)のC点にくる。その後、DBS0を下げ、DWLを上げると、元のD点に戻る。

【0257】また、通常のセルのPLは0V~Vcc駆動の場合でも、ダミーセルのPL'は分極反転不要のため、一定電位に固定して用いるのがよい。

【0258】本実施形態での、読み出し電荷はPs'-Pr'となり、“0”データと同じであるが、強誘電体キャパシタの容量を(セルのPs)=ダミーセルの(Ps'-Pr')になるように大きくすればよい。また、ダミーセルPL'の電位を $(1/2)V_{cc}$ より高めに調整してもよい。但し、本実施形態では、セルに“0”データが書き込まれていた場合、ダミーセル側は“1”になるため、一度A点に移動してから、C点に移動しD点に戻るため、分極反転を伴う。

【0259】ダミーセルは、セルアレイ内のどのセルを選択しても動作するため、分極反転回数が多くなり、疲労が著しい。この問題を避けるため、図41のDBS0の“H”側電圧を(Y)のように下げると、“0”データセル読み出しでダミーセル側のBLがVccになっても、ダミーセルノードDNはDBS0電圧-Vtになり、DBS0電圧-Vt<=PL'のようにPL'を設計すれば分極反転を伴わなくなり、疲労が少ない。また、DBS0電位を(X)のようにした場合も、PL'=Vcc或いは、その程度上げても、分極反転せず疲労が少ない。また(Z)のように、ダミーセル読み出し

後、一度DBS0を下げ、/BL、BLが0Vに下がってから、もう一度、DBS0を上げ下げすると、分極反転を伴わずD点からC点に移動し、その後にDWLを上げるにより、D点に戻る。

【0260】従来の1セルトランジスタと1強誘電体キャパシタの直列のセルで、ダミーセルを構成すると、ダミーセルのセルノードがフローティングであり、リーク電流等で電位が変わり、結果としてダミーセルの読み出し電位が変わる問題がある。これを避けるために、従来ダミーセル回路は、ダミーセル回路内に一度D点に持つていて、C点に戻す等、通常セルと異なる複雑な回路構成(T. Sumi et al., 1994 IEEE International Solid-State Circuit Conference Digest of Technical Paper, pp. 268-269, Feb, 1994等)を取っていたが、本実施形態では、全く通常のセルと同じセル構造、回路構造にできるメリットがある。

【0261】図40(b)は、図40(a)の問題点を解決する例である。図40(a)では、選択したメモリセルがメモリブロック中で、ビット線に近い方である場合と遠い方である場合とで、僅かにビット線容量が変わる。これは僅かであるが、センスアンプ動作のマージンを減らす。

【0262】図40(b)はこの問題をも解決する。即ち、図40(b)のように、通常のセル部と同じダミーセルのブロックを形成し、メモリブロック内の選択セルと同じ位置のダミーメモリブロックのダミーセルを選べば、ビット線対の容量アンバランスは解消する。その動作は、図40(a)と、選ぶダミーワード線が変わるだけで同じである。各種変形動作も同じである。

【0263】図40(a)(b)のダミーセルブロックのブロック選択トランジスタは、図37の説明でも分るように、Dタイプの常にONしているトランジスタを表記上省略しているが、実際には前記図26、図27に示すように、トランジスタを形成しなくても良い。図42に示すように、実際にDタイプのトランジスタを用いても良い。

【0264】このように、ダミーセルも直列接続する他の理由を、図43に示す。図43は、セル直列数(N)に対する“1”データ及び“0”の実際のセルデータをビット線に読み出した後のビット線電位を示し、パラメータとして最もビット線コンタクトに近いWL0を選択した場合と、最も遠いWL(N)を選択した場合を示す。

【0265】遠いセルの場合、“1”データと“0”データの信号差は、近いセルに比べて、直列セル内のゲートチャネル容量等の寄生容量分僅かに減るが、最も大きな問題点は、遠いセルを選んだ場合、“1”データの“0”データもVdd側に読み出し値がシフトしている点である。これは、スタンバイ中に(1/2)Vddにあったセル直列内のノードが、読み出し後にVssに下が

るため、セル直列内の寄生容量分カップリングでVdd側にシフトするためである。これは、セル直列数を増やすと問題が顕在化する。

【0266】ダミーセルも図40(b)、図42に示すように、直列接続し、通常セルと同じ直列内の位置のダミーセルを選ぶと、図43に示すように、ダミーセル(図中Dcell)側にも同じ影響を与え、センスアンプから見るとこのシフトの問題は見えなくすることができる。また、常誘電体キャパシタを用いてダミーセルを構成する場合も、この問題を克服するために、図36(a)等で示してある、センスアンプ内のカップリングキャパシタを複数種類用意して対応しても良いし、図36(a)のDWL0、DWL1の振幅電圧を選択セルの直列接続内の位置に応じて代えても良い。

【0267】なお、このVdd側へのシフトの問題は、0V~VddのPL駆動方式では発生しない。これは、スタンバイ時にこれらのノードは0Vにプリチャージされているからである。

【0268】(第26の実施形態)図44(a)は、本発明の第26の実施形態を示すダミーセルを含むセルアレイ等価回路を示す図である。図44(b)は、図44(a)の実施形態の動作例を示す信号波形図である。

【0269】図44(a)において、ビット線対(/BL, BL)のダミーセルを共用している。例えば、WL2とBS0が選択されて、/BL側にセルデータが読み出される場合は、DBS0とDWL2が選択され、DWL2に接続されるダミーセルの強誘電体キャパシタ情報がBL側に読み出されるし、例えばWL2とBS1が選択されて、BL側にセルデータが読み出される場合は、DBS1とDWL2が選択され、DWL2に接続されるダミーセルの強誘電体キャパシタ情報が/BL側に読み出される訳である。

【0270】図44(b)のような読み出し方式では、図40(b)で示したように、ダミーセルは常に“0”データが読み出されることになり、これに伴って、ダミーセルの強誘電体キャパシタ容量は、セルの“1”データ(=Pr+Ps)と“0”データ(=Ps-Pr)の中間値Ps、とダミーセルの(Ps'-Pr')がほぼ等しくなるように、通常セルの1.5倍~3倍程度(最適値は2倍程度)大きくする必要がある。よって、図40(b)の方式のままでは、ダミーセルの強誘電体キャパシタ面積を大きくするため、ワード線間隔を広く取る(ビット線方向に伸ばす)必要があったが、図44

(a)の回路を用いると、ダミーセルを共有した分、セルのワード線方向の間隔が緩くなり、ワード線間隔を広げずに強誘電体キャパシタ面積を大きくできる。

【0271】図45は、図44の等価回路を実現するレイアウト図の例を示す。図45(a)は通常セルレイアウトを示し、図45(b)はダミーセルのセルレイアウト図を示す。ダミーセルにおいて、セル間の素子分離を

最小Fとすると、強誘電体キャパシタ面積を通常セルの $F^2$ に対して、 $3F^2$ まで大きくしつつ、WL線間隔をFのままに保つことができることが分かる。これにより $F^2$ から $3F^2$ の任意の値にダミーセルの強誘電体キャパシタ面積を設定できる。従って、図45(c)(d)のように、リファレンス側の読み出し電荷量を、通常セルの“1”、“0”データの間値に持ってくるができる。

【0272】なお、ダミーセルの読み出し電位は、キャパシタ面積及びダミーセル用PLの電位の両方で調整できる。

【0273】また、前記図35(b)に示すように、強誘電体キャパシタ面積を大きくしつつも、ダミーセルのセルトランジスタサイズを通常セルと同じく設定することにより、図43に示したような、“1”、“0”セルデータのシフトの問題も、ダミーセルのセルトランジスタチャネルの反転容量と、正規セルのセルのセルトランジスタの反転容量とを等しくでき、ダミーセル部のシフト量と、正規セル部のシフト量をほぼ等しくでき、キャンセルされ、読み出しビット線とリファレンスビット線間の差には現れなくなる。

【0274】(第27の実施形態)図46は、本発明の第27の実施形態に係わるFRAMを説明するためのもので、特にダミーセル方式を用いたセンスアンプ回路を示している。なお、前記図23のDタイプ選択トランジスタは、常にONであるため短絡したものとみなし、この回路図からは除いてある。

【0275】本実施形態は、図36(a)、図40(a)(b)等の回路から、EQL系の回路を除いた場合を示す。これは、図31等で、/BL、BL等をイコライズせずに直接VPSを上げ、Vssに落とすことを意味する。これにより、センスアンプ面積を削減できる。

【0276】(第28の実施形態)図47は、本発明の第28の実施形態を説明するための信号波形図である。この実施形態は、電源ON/OFFの望ましい手順を示している。

【0277】本実施形態においては、まず電源Vcc投入後、パワーONリセット回路により、Vccが完全に立ち上がってから、全ワード線WLを“H”レベルにする。その後、プレート電位を0Vから $(1/2)V_{cc}$ に上げる。このWLとPLの順序を変えると、セルデータが破壊され易い。このとき、ビット線BL及びブロック選択線BSは0Vのままである。その後、通常のメモリセル動作に移れる。

【0278】電源立ち下げ時は、パワーOFFリセット回路により、VccがVccmin(Vccの下限)より下がると、或いは電源OFF信号により、PLを0Vにする。BLが0V或いは、BSが0Vであれば、その後WLが下がってもデータは壊れない。

【0279】(第29の実施形態)図48は、本発明の第29の実施形態を説明するための信号波形図である。この実施形態は、電源ON/OFFの望ましい手順を示している。具体的には、図47に加え、セルアレイに負の基板バイアスVBBを印加する場合の手順を示している。

【0280】従来FRAMにおいては、 $(1/2)V_{dd}$ 固定プレート方式では、当然セルデータが破壊されるし、スタンドバイ時プレートを0Vにする。プレート電極を0VからVddまで駆動するプレート駆動方式においても、セルアレイの基板バイアスを負に印加すると、スタンドバイ中ストレージノードが0V以下になるため、“1”データが破壊される問題があり、従来FRAMでは、セルアレイの基板バイアスを0Vにしていた。これに対し本実施形態においては、アクティブ中は勿論、スタンドバイ中もセルアレイの基板バイアスVBBを負( $=-VB$ )にしても、強誘電体キャパシタが、セルトランジスタでショートされているため、データが破壊されない。

【0281】これにより、1)拡散層とセルウェル間に、逆バイアスが印加できるため、pn接合容量の低減によるビット線容量低減が可能になり、読み出し信号量が増加する。2)-VBバイアスで、セルトランジスタのしきい値電圧の合せ込みができ、基板バイアス効果の低減が可能となる。3)素子分離耐圧が向上する、等の効果が期待出来る。VBB印加のタイミングも図48に示すように、電源ON時にWLを上げて、強誘電体キャパシタをショートしてから、VBBを下げればセル情報は破壊されない。電源OFF時も、WLを下げる前に、VBBを0Vに戻せば問題ない。

【0282】(第30の実施形態)図49は、本発明の第30の実施形態に係わるFRAMの基本構成を示す回路図であり、メモリセルの8セル分の等価回路を示している。

【0283】本実施形態は、基本的には前記図2の構成と同様であり、これと異なる点は、図1のセルトランジスタをD(Depletion)タイプにし、しきい値電圧を負の値にしたものである。動作としては、図51に示すように、電源OFF時或いはスタンドバイ時、ワード線電圧を0Vにしてセルトランジスタを導通させ、選択セルのワード線のみ負の電位に下げ、セルトランジスタをOFFさせる。

【0284】本実施形態の長所は、第1に、スタンドバイ中ワード線が0Vのため、ワード線リークが問題にならない。第2に、スタンドバイ中に高WL電圧が印加されないため、デバイスの信頼性が増す。第3に、最大のメリットとして、極めてノイズに強いことが挙げられる。電源OFF中もセルトランジスタは常にONのためセルデータが確実に守られるし、不意な電源OFFにも強い。



47

【0285】その他、しきい値を弱く負にすることにより、WL、BS線振幅を $-V_{pp'} \sim V_{cc}$ とすると、スタンバイ時のワード線のリークにより昇圧電位が下がるのを防ぐことができる。これは、 $V_{cc}$ は電源であり、電流供給が十分行えるからである。

【0286】(第31の実施形態)図50は、本発明の第31の実施形態に係わるFRAMの基本構成を示す回路図である。

【0287】本実施形態は、前記図23のセルトランジスタをD(Depletion)タイプにし、しきい値電圧を負の値にしたものである。動作としては、図51に示すように、電源OFF時或いはスタンバイ時、ワード線電圧を0Vにしてセルトランジスタを導通させ、選択セルのワード線のみ負の電位に下げ、セルトランジスタをOFFさせる。

【0288】本実施形態の長所は、第30の実施形態と同様に、ワード線リークが問題にならない、デバイスの信頼性が増す、極めてノイズに強いことである。

【0289】さらに、図49、図50において、電源OFF時も、電源ON時の非選択時もセルトランジスタがONしていることにより、セルにアルファ線等の放射線が当たっても、これにより発生する収集電荷による、強誘電体キャパシタ間の電位差の発生によるソフトエラーは、従来セルと異なり、ONしているセルトランジスタによる強誘電体キャパシタ間のショートにより、起こりにくく、信頼性を大幅に向上できる。この非選択時ONしていることは、従来セルでは、SNが浮いているため、選択セルの動作による寄生容量カップリング等のノイズの影響を受けるが、本発明ではこれを防ぐことができる。図51は、この動作例を示す。

【0290】(第32の実施形態)図52～図55は本発明の第32の実施形態を説明するためのもので、各種メモリ構造の例を示している。

【0291】図52(a)は、ビット線BLと選択トランジスタとの接続のビット線ダイコン部において、前記図3のように深いビット線コンタクトを形成せずに、一度パッド層PADを介してビット線BLに接続している。このパッド層PADは勿論、セルノードの下部電極配線層や上部電極配線層と共用しても良い。この場合、深いビット線コンタクトを形成する必要がなくなることから、その製造が容易となる。

【0292】図52(b)は、強誘電体キャパシタをゲート側壁部にも形成した場合の例である。この場合、キャパシタ面積を増大できる。

【0293】図53(c)(d)は強誘電体キャパシタをフィン構造で多重に形成した場合を示す。この場合も、キャパシタ面積を増大できる。従来DRAMでもフィン構造は存在するが、その場合、フィンとフィン間にプレート電極が挟まれているが、本実施形態では、フィン間にはプレート電極が挟まれていないのが特徴であ

48

る。

【0294】図54(e)は、セルノードをビット線BLの上に上げてから、強誘電体キャパシタを形成している。図54(f)も(e)と同じで、強誘電体膜形成後に絶縁膜を形成し、コンタクトホール形成後に上部電極を形成している。図54(e)に示すように、強誘電体キャパシタは基板と垂直方向にあってもよい。

【0295】図55(g)は今までと少し異なり、どのセルノードも下部電極形成後に強誘電体膜を形成し、その後に隣接セルノード同士を上部電極で接続している。この場合、等価回路的に2つの強誘電体キャパシタを直列接続した型になり、セル容量が半減するが、上部電極は強誘電体膜のみに接続すればよく、作り易い利点がある。

【0296】図55(h)(i)は、キャパシタ部分の拡大断面図であり、強誘電体膜とこれに接する上部電極及び下部電極を示している。図55(h)は、Ti層上に下部電極としてのPt膜を形成し、その上に強誘電体膜(SrBiTaO)の混成膜を作り、さらに上部電極にPt膜を形成した例を示す。図55(i)は、Ti層上に下部電極としてのPt膜を形成し、その上に強誘電体膜(PbZrTiO)の混成膜を作り、さらに上部電極にPt膜を形成した例を示す。

【0297】上部電極には、その上に他の金属やSi層を形成してもよいし、下部電極もその下にSi層や金属層を接続してもよい。例えば、図54(e)等のセルノードの2段のプラグはポリSi層で、その上にTiPtのバリアメタルを介して強誘電体膜を形成し、その上にPtを形成している。また、その上にAl層等を形成してもよい。その他セルの電極として、Ir、IrO<sub>2</sub>等を用いても良い。

【0298】また、図54(e)の変形として、拡散層上に、Siプラグを形成し、その上に、Ti層/TiN層/Pt層を形成し、その後に強誘電体膜を形成しても良い。また、強誘電体膜として、BaSrTiO系で実現しても良い。BaSrTiO系は、BaよりSrの含有量を多くすると強誘電体キャパシタとなり得る。この強誘電体キャパシタの電極として、SrRuOを用いて、強誘電体キャパシタと電極間に格子定数の不一致を起こし、歪みを入れて分極量の増加を行っても良い。Ru、RuO等の電極を用いても良い。上部電極形成後、TiO<sub>2</sub>膜/SiO<sub>2</sub>膜を形成すれば、その後のH還元系の各種熱処理により、強誘電体キャパシタから酸素が抜け分極量が減る問題を回避出来る。以上述べた強誘電体キャパシタ形成は、ゾルゲル法、スパッタ法、CVD法、MOCVD法のいずれを用いても良い。

【0299】(第33の実施形態)図56は、本発明の第33の実施形態に係わるFRAMのメモリセル部構成を示す断面図である。

【0300】キャパシタの下部電極SNa及び強誘電体

49

膜FRを形成した後、強誘電体膜FRの全部は加工せず部分的な加工を行い、キャパシタの上部電極SNbを形成している。即ち、強誘電体膜FRが部分的に接続されている。強誘電体膜は膜形成方向に異方性を持つため、この例では分極がSi面に垂直方向に起こり、水平方向に余り発生しない。このため、上記のような構成でも何等問題はない。前述の全てのセル例でも同様な構成を取ることが可能である。等方性材料でも距離が離れていれば問題ない。

【0301】(第34の実施形態)図57は、本発明の第34の実施形態に係わるFRAMのメモリセル部構成を示す断面図である。(a)はビット線方向の断面を示し、(b)は(a)のA-A'部分で切ったワード線方向の断面を示す。

【0302】キャパシタの下部電極SNaを溝の様に(穴でも良い)形成し、その中に強誘電体膜FRを形成し、上部電極SNbを形成している。この構造では、強誘電体膜FRの面積を増大させ、メモリセルの分極量を増大させることができる。

【0303】(第35の実施形態)図58は、本発明の第35の実施形態に係わるFRAMのメモリセル部構成を示す断面図である。前記セル構造とは異なり、全ストレージノード(SN)を同時に形成後、隣接SN間に強誘電体膜FRを堆積させれば、本発明の等価回路が実現できる。

【0304】本実施形態の特徴は、第1に、上部、下部電極を同時に形成できるため、プロセスコストが低減できる。これは、従来の1トランジスタ+1キャパシタのセルと比べてもプレート電極PLを別に形成する必要がなくなり、コストメリットがある。第2に、上部電極を形成する場合、セルトランジスタの拡散層からノードを引き出すため、強誘電体膜間を分離してノードを引き出す必要があったが、この問題も解決できる。第3に、SNの厚みを増せば、セル分極量を自由に増加できる。

【0305】第4に、強誘電体膜の常誘電体成分は、強誘電体膜厚を低減すれば増加するが、不揮発性に重要な残留分極量は膜厚に依存しない。膜厚を低減させると、抗電圧のみ低減する。結局、抗電圧さえ十分に低減できれば、膜厚を低減するメリットがなくなる。逆に、常誘電体成分のみ増加して、読み出しマージンが低下するだけとなる。

【0306】この結果は、セルサイズが微細化していった場合、例えば微細な $0.25\mu\text{m}$ の256MビットFRAM製造時でも、強誘電体膜厚が250nm程度である可能性があり、この場合SN間の距離も $0.25\mu\text{m}$ で形成されたとすると、本セル構成でも、強誘電体膜形成前のSN間距離は、要求される強誘電体膜厚と一致し、設計ルール以下の無理なSN間距離を保つ必要がなくなる。

【0307】図59は、本実施形態の変形例を示す断面

50

図である。これは、図58のセル形成時、強誘電体膜FRを電極SN間のみではなく、SN上にも残した場合を示す。このように、SN上に強誘電体膜FRを形成しても(SN間への強誘電体膜の埋め込み工程上しかたなくSN上に形成されても)、その上の $\text{SiO}_2$ 等の絶縁膜が形成されているとこのSN上の強誘電体膜FRは対電極を持たず、動作上無視することができる。

【0308】(第36の実施形態)図60は、本発明の第36の実施形態に係わるFRAMのメモリセル部構成を示す断面図である。これは、図59のセルに対して、BL形成後に、強誘電体膜FR及び電極SNを形成した場合を示す。この場合、BL形成時におけるSN膜厚によるセル段差の影響が無くなることから、SN膜厚を厚くしてセルの残留分極量を増加させることができる。

【0309】なお、図57の強誘電体キャパシタ膜の立体形成や、図58、59、60の電極間への強誘電体キャパシタ膜の埋め込みには、CVD法、MOCVD法が適している。

【0310】(第37の実施形態)図61は、本発明の第37の実施形態に係わるFRAMのメモリセル部構成を示す断面図である。

【0311】前記図3等のセル構造では、 $4F^2$ セルを構成すると、強誘電体キャパシタを平面だけで形成すると、強誘電体キャパシタ面積は $1F^2$ となり、従来の $8F^2$ セルでは $2F^2 \sim 3F^2$ になるのに対して、1セル当たりの分極量が減る問題点があった。

【0312】この問題は図61に示すように、例えば4層のキャパシタ電極層を用いることにより解決することができる。ワード線WLよりも上方にキャパシタ電極となる導電体層が4層形成され、各々の電極はセルトランジスタのソース・ドレインに接続されている。第1層目と第3層目の電極は電気的に接続されている。

【0313】セル直列のあるノード(セルトランジスタのソース・ドレイン)に第1、第3層目の電極をつなぎ、隣接する一方のノードに第2層目の電極をつなぎ、他方のノードに第4層目の電極をつなぐ。そして、第1、第3層目と第2層目の電極間に強誘電体キャパシタ膜を形成し、さらに第3層目と第4層目の電極間に強誘電体キャパシタ膜を形成する。

【0314】ここで、第3層目と第4層目の電極間の強誘電体膜は $3F^2$ 分だけ形成することができ、第1、第3層目と第2層目の電極間の強誘電体膜は $3F^2$ 分以上に形成することができる。従って、 $4F^2$ セルにも拘わらず、 $3F^2$ 分のキャパシタ面積を稼ぐことができ、従来と同等の分極量を確保できる。勿論このセルは、平面強誘電体膜ばかりでなく、図57に示すように、さらに立体化して、セル面積を稼ぐことができる。

【0315】また、図62は、本実施形態の変形例であり、図61と異なり、ビット線形成後に強誘電体キャパシタを形成している。

51

【0316】(第38の実施形態)図63は、本発明の第38の実施形態に係わるFRAMのメモリセル部を示す等価回路図とタイミング図である。

【0317】図63(a)に示すように、強誘電体キャパシタとセルトランジスタ(WL00~WL15)の並列接続で1セルを構成し、これを複数直列接続して、さらにこれに、4本の選択ブロック線(BS00~BS03)で制御される4つの選択ブロックトランジスタを直列接続したものを接続して、セルブロックを構成する。セルブロックの一端はプレート(PL)電極に接続する。もう一端は、ビット線BLに接続するのであるが、セル(Q30, C30)を含む第1のセルブロックと、セル(Q31, C31)を含む第2セルブロックの另一端は、共通のビット線(/BL)に接続され、セル(Q32, C32)を含む第3のセルブロックと、セル(Q33, C33)を含む第4のセルブロックの另一端は、共通のビット線(BL)に接続される。

【0318】選択ブロックトランジスタは、図63

(a)に示すように、各セルブロックで、しきい値が正であるトランジスタの1個と、負であるトランジスタの3個とを混在させる。4本の選択ブロック線(BS00~BS03)により、メモリセル選択時は、この第1~第4のセルブロックの内1個のセルブロックのみ選択できるようになる。

【0319】例えば、図63(b)のタイミングチャートに示すように、BS00のみHighレベルにすると、第1のセルブロックのみ選択できることが分かる。これは、第1のセルブロックのみ4個直列の選択トランジスタが全部ONするためである。この結果、WL02選択時は、セル(Q30, C30)のみ選択され、セルデータが/BLに読み出され、BL側には読み出されずフォールデットビット線構成が実現できる。従って、前記図23と同様に、オープンビット線構成と比較して、低ノイズ、センスアンプピッチの緩和、センスアンプがセンスアンプ両側のセルアレイで共用できること(Shared SA)による、センスアンプ数が半減できる効果がある。

【0320】本実施形態ではこれらの効果に比べ、さらにビット線ピッチが図23の2倍に緩和できる、ビット線ピッチ緩和型フォールデットビット線構成が取れる。これにより、ビット線製造が極めて容易になり、特性的にもビット線間が離れるため、BL-BL間カップリングノイズが低減できる。さらに新たな効果として、センスアンプピッチも図23に比べさらに2倍に緩和でき、センスアンプ回路形成を容易にし、しかもセンスアンプ数自体も図23の半分にでき、チップサイズの低減効果がある。

【0321】また、前記図28(c)のように、センスアンプを複数のビット線で共用すれば、センスアンプ数は減っても、BLピッチは緩和できず、さらに後に他のBLを選択する必要性を伴う。図28(c)と図30

52

(b)を組み合わせれば、センスアンプを共用して、かつ他の選択しないBLにセルデータを読まなくすることもできるが、ビット線の緩和は勿論できず、さらに読み出し前に、選択ビット線のみ、ビット線を図30(b)のようにVssに下げる(上げる方式も可能)必要があり、アクセス速度の低化を招く。これに対して、図63の方式はこのアクセス速度のペナルティがない。

【0322】(第39の実施形態)図64は、本発明の第39の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0323】図63とほぼ構成及び効果は同じで、異なる点は、選択ブロックトランジスタは、図に示すように各セルブロックで、しきい値が正であるトランジスタを2個と、負であるトランジスタを2個混在させることにより構成する。

【0324】メモリセル選択時は、この4本の選択ブロック線(BS00~BS03)の内2本をHighレベルにし、この第1~第4のセルブロックの内1個のセルブロックのみ選択できるようになる。即ち、BS02, BS03のどちらかを選択して、上の2つのセルブロックか、下の2つのセルブロックかを選び、BS00, BS01で各2つのセルブロックの内の1つを選ぶ。

【0325】(第40の実施形態)図65は、本発明の第40の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0326】図64とほぼ構成及び効果は同じで、更なる効果として、選択ブロックトランジスタ数を低減している。動作は図64と同じで、メモリセル選択時は、この4本の選択ブロック線(BS00~BS03)の内2本をHighレベルにし、第1~第4のセルブロックの内1個のセルブロックのみ選択できるようになる。

【0327】即ち、BS02, BS03のどちらかを選択して、上の2つのセルブロックか、下の2つのセルブロックかを選び、BS00, BS01で各2つのセルブロックの内の1つを選ぶ。BS02, BS03のゲート容量の低減、ビット線容量の低減、選択ブロックトランジスタのルール緩和が可能になる。

【0328】(第41の実施形態)図66は、本発明の第41の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0329】ダミーセルもセルの直列数を1段だけにしただけで、メモリセルと同様な構成で実現できる。動作としては、例えば図66(b)に示すように、メモリセル(Q30, C30)選択時、セルデータは/BLに読み出される。このとき同時に、DBS00を上げ、DWLを下げると、ダミーセルデータもReference BLである(BL)に読み出される分けである。詳細動作は前記図41と同様であり、ダミーセルの分極反転疲労を抑えることができる。

【0330】(第42の実施形態)図67は、本発明の

53

第42の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0331】図67は図63の実施形態の、ダミーセル構成の他の一例を追加した形態を示す。図66に比べてダミーセル数を減らして、ルールの緩和が可能となる。動作としては、例えば、図67(b)に示すように、メモリセル(Q30, C30)選択時、セルデータはBLに読み出される。このとき同時に、DBS02を上げ、DWLを下げると、ダミーセルデータもReference BLである(BL)に読み出される分けである。詳細動作は、前記図41と同様で、ダミーセルの分極反転疲労を抑えることができる。

【0332】ここで、図68に図67の実施形態のダミーセルを複数直列接続した場合を示す。図40(b)、図42と同様の効果がある。また、図69に図65の実施形態に接続できるダミーセルを複数直列接続した場合を示す。図40(b)、図42と同様の効果がある。

【0333】(第43の実施形態)図70は、本発明の第43の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0334】図70は図63の実施形態の、メモリセルトランジスタにDepletion型トランジスタを採用した場合を示す。動作としては、図70(b)に示すように、電源OFF時或いはスタンバイ時、ワード線電圧を0Vにして、セルトランジスタを導通させ、選択セルのワード線のみ負の電位に下げ、セルトランジスタをOFFする。

【0335】本実施形態は図63の効果に加え、図49、50と同様に、1)スタンバイ中のWLリークが問題なくなる、2)スタンバイ時に高電圧が印加されない、ノイズに強く、不意な電源OFFに強い、4)電源OFF時、スタンバイ時共に、放射線によるソフトエラーに強い、等の効果が得られる。

【0336】(第44の実施形態)図71は、本発明の第44の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0337】図71は図64の実施形態の、メモリセルトランジスタにDepletion型トランジスタを採用した場合を示す。本実施形態は、図64の効果に加え、図49、50と同様に、1)スタンバイ中のWLリークが問題なくなる、2)スタンバイ時に高電圧が印加されない、3)ノイズに強く、不意な電源OFFに強い、4)電源OFF時、スタンバイ時共に、放射線によるソフトエラーに強い、等の効果が得られる。

【0338】(第45の実施形態)図72は、本発明の第45の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0339】図72は図65の実施形態の、メモリセルトランジスタにDepletion型トランジスタを採用した場合を示す。本実施形態は図65の効果に加え、図49、

54

50と同様に、1)スタンバイ中のWLリークが問題なくなる、2)スタンバイ時に高電圧が印加されない、3)ノイズに強く、不意な電源OFFに強い、4)電源OFF、スタンバイ時共に、放射線によるソフトエラーに強い。

【0340】等の効果が得られる。

【0341】(第46の実施形態)図73は、本発明の第46の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0342】図73は図66の実施形態の、メモリセルトランジスタにDepletion型トランジスタを採用した場合を示す。さらに、ダミーセルトランジスタもDepletion型トランジスタを採用している。

【0343】本実施形態は図66の効果に加え、図49、50と同様に、1)スタンバイ中のWLリークの問題なくなる。2)スタンバイ時に高電圧が印加されない、3)ノイズに強く、不意な電源OFFに強い、3)電源OFF時、スタンバイ時共に、放射線によるソフトエラーに強い。

【0344】(第47の実施形態)図74は、本発明の第47の実施形態に係わるFRAMのメモリセル構成を示す等価回路図(a)とタイミング図(b)である。

【0345】これは、図67の実施形態のメモリセルトランジスタにDepletion型トランジスタを採用した場合を示す。さらに、ダミーセルトランジスタもDepletion型トランジスタを採用している。

【0346】本実施形態は図67の効果に加え、図49、50と同様に、1)スタンバイ中のWLリークが問題なくなる。2)スタンバイ時に高電圧が印加されない。3)ノイズに強く、不意な電源OFFに強い。4)電源OFF時、スタンバイ時共に、放射線によるソフトエラーに強い。

【0347】(第48の実施形態)図75は、本発明の第48の実施形態に係わるFRAMのメモリセル部構成を示す平面図(b)と断面図(a)である。これは、等価回路的には図63に対応する。

【0348】4本の選択ブロック線がゲート配線で構成されており、4個直列の選択トランジスタは、4個中3個がDタイプトランジスタ形成用のイオン注入マスクを用いてイオン注入することにより、Depletion型トランジスタとなる。この場合、ビット線ピッチがセルピッチの2倍に大幅に緩和されていることが分かる。

【0349】(第49の実施形態)図76は、本発明の第49の実施形態に係わるFRAMのメモリセル部構成を示す平面図(b)と断面図(a)である。これは、等価回路的には、図63に対応する。図75が強誘電体キャパシタ形成後、ビット線を構成しているのに対して、図76ではビット線形成後、強誘電体キャパシタを構成している。

【0350】強誘電体キャパシタ形成後、ビット線を構

55

成するセルの場合、前記図25に示すように、ビット線配線の隙間から、SNを上に出す必要があるため、BLコンタクトを半ピッチずらす必要があり、BLコンタクト部で余分な面積を食う問題点があった。これに対し図76では、ビット線は2つのセルブロックで共用されるため、図76のレイアウトに示すように、2つのセルブロックのセル間にBLを引き伸ばすことができ、自ずとBLとセルのSNは半ピッチずれ、面積のオーバーヘッドなく、ビット線配線の隙間から、SNを上に出すことが可能となる。

【0351】さらに、メリットとしては、BLコンタクト部分の設計ルールも2倍になり、図76に示すように、BLコンタクトサイズ、その合わせ余裕を大きく取ることが可能となる。

【0352】(第50の実施形態)図77は、本発明の第50の実施形態に係わるFRAMのメモリセル部構成を示す平面図(b)と断面図(a)である。これは、等価回路的には、図72に対応する。

【0353】4本の選択ブロック線がゲート配線で構成されており、ビットに近い2個の選択トランジスタのルールが2倍に緩和されている。この例では、ビットに近い2個の選択トランジスタサイズは同じで、間隔のルールを3倍に緩和して、選択トランジスタのゲート容量を半減している。この例においても、ビット線ピッチ、ビット線コンタクトピッチがセルピッチの2倍に大幅に緩和されていることが分かる。

【0354】(第51の実施形態)図78は、本発明の第51の実施形態に係わるFRAMのメモリセル部構成を示す平面図(b)と断面図(a)である。これは、等価回路的には、図72に対応する。

【0355】4本の選択ブロック線がゲート配線で構成されており、ビットに近い2個の選択トランジスタのルールが2倍に緩和されている。この例では、ビットに近い2個の選択トランジスタサイズを3倍に緩和して、間隔のルールを従来と同様にした例を示す。この例でも、ビット線ピッチ、ビット線コンタクトピッチがセルピッチの2倍に大幅に緩和されていることが分かる。

【0356】図79～図81は、本発明の効果を定量的に示すシミュレーション評価結果を示す。図79(a)は、0.45μmルール64MビットFRAMを仮定した場合の、本発明の直列セル数に対するビット線容量(BL容量)を示す。従来の8F<sup>2</sup>サイズのFRAMのビット線容量は、1本のビット線につながるWL数を512WLとすると約265fFになるのに対して、本発明では、直列数を増加させるに従ってBL容量が大幅に低減され、セル直列数を8、16、32程度にすると、従来セルの約1/4にビット線容量を低減できることが分かる。これは、直列数を増加させるほど、BLコンタクト数が低減され、BL容量が減るためである。

【0357】図中の絵に示すNAND型DRAMの場

56

合、直列数を増加させると、BLコンタクトに対して一番奥のセルを読む場合、途中のセルがBL容量として見え、直列数を4より大きくすると逆にBL容量が見えてしまう問題点があるが、本発明の場合、途中のセルは、セルキャパシタがショートしているため、キャパシタ間に電圧が印加されず、容量として見えないため、直列数を64以上にしないと、デメリットが見えない。逆に言うと、1本のビット線につながるセル数を1024個と4倍にしても、図79(a)に示すように、従来と同じビット線容量を保つことができ、結果として、センスアンプ数を従来の1/4にでき、チップ面積低減効果がある。

【0358】図79(b)は、本発明のセル直列数に対するセルデータ読み出し遅延の関係を示す。セル直列数を8、16としても、セル読み出し遅延は従来の8F<sup>2</sup>セルFRAMに比べて、1.5ns～4nsの僅かな遅延で実現できる。これに比べて従来方式は、リフレッシュを避けて、PL駆動方式を採用すると、この遅延以上の大きな遅延を有す。本方式では、(1/2)V<sub>cc</sub>固定PL方式でもリフレッシュが不要である。結果として、16直列程度は十分速度デメリット無しで実現可能と思われる。

【0359】また、PL駆動方式でも、PLをAlやCu配線でsnapしやすいため、従来に比べ高速である。

【0360】図80は、本発明特有の問題点を示す。本方式においては、セルの読み出し/書き込み動作時、選択されたセルブロックの選択セル以外の非選択セルは、ワード線がHighレベルを保ため、理論上はショートされ、非選択セルの強誘電体キャパシタの2つの電極間には、電圧が印加されないはずである。ところが、非選択セルのトランジスタにはON抵抗が存在するため、セルデータ読み出し時(図80(a))、セルデータに読み出しと逆データを書き込む場合、短い間ではあるが瞬間的に電圧差が発生し、非選択セルデータを破壊する恐れがある。

【0361】しかしながら、この問題点も、セル直列数を増加されるに従って小さな値に抑えることができる。これは、直列数の増加に従って、全体の印加電圧は一定であるため、1セル当りの最大印加電圧が(印加電圧/直列数)の低減により低下するためである。よって直列数を増加させると、十分マージンが取れる(選択セルの書き込み電圧の10%未満のノイズに抑えられる)。書き込み時でも同様であり、図80(b)に示すように、さらに書き込み時間が遅いと、この問題も緩和される。通常書き込み時間は、数10nsの単位であるため、図80(b)に示すように十分マージンをもって、ノイズを10%未満にできる。

【0362】図81は、本発明のセルサイズ、チップサイズのセル直列数依存性を示す。図81(a)に示すよ

57

うに、セル直列数を増やすと、セル面積に占める選択トランジスタの割合が低下し、最小理論値の $4F^2$ に近づく。読み出しスピードの点から、8~16直列ぐらいまで可能のため（遅いスペックを許せばさらに小さくできる）、 $4.5F^2 \sim 5F^2$ セル程度は容易に実現できる。図81(b)にチップサイズを示す。直列数の増加と共に、チップサイズは低減できる。

【0363】ビット線ルール緩和フォールデットBL方式は、選択トランジスタが増加して、セルブロックサイズはフォールデットBL方式より大きいが、センスアンプ数をさらに半減できるため、セル直列数を16以上にすると、選択トランジスタの増加のデメリットが見えなくなり、逆にチップサイズを低減できる。

【0364】（第52の実施形態）図82は、本発明の第52の実施形態に係わるFRAMのメモリセル構成を示す等価回路図である。

【0365】今まで示した実施形態では、強誘電体キャパシタとセルトランジスタの並列接続したものを直列接続して、ビット線側との接続部に、選択トランジスタを挿入した型をとっていた。

【0366】これら前述の実施形態において、選択トランジスタを図82に示すようにPL側に接続しても良い。さらに、強誘電体キャパシタとセルトランジスタの並列接続したものの直列接続の途中の間に挿入しても良い。但し、PL側に接続すると、強誘電体キャパシタはショートしてその容量は見えないが、その他のトランジスタのON時のチャンネル容量等は、BL容量の増加として見える。

【0367】（第53の実施形態）図83、本発明の第53の実施形態に係わるFRAMのメモリセル構成を示す等価回路図である。

【0368】今まで示した実施形態では、強誘電体キャパシタとセルトランジスタの並列接続したものを直列接続し、選択トランジスタを介してビット線に接続し、他方をPLに接続していた。これに対し図83の例では、一端をビット線(BLL0)に、他端を対を成すビット線(BLH0)に接続している。

【0369】この構成により、BLH0、BLL0に電位差を付けておいて、BLH0、BLL0をフローティングにし、選択ブロック線をHigh、ワード線をLowにして、セルデータを読み出すと、例えば“0”データの場合、BLH0側に $-(Pr+Ps)$ 分、BLL0側に $+(Pr+Ps)$ 分の電荷が読み出され、前述の実施形態に比べて、約2倍の読み出し電荷量が得られる。これは、読み出しマージンの向上や、セルキャパシタ面積の縮小を可能にする。

【0370】なお、選択トランジスタを片方にしか接続していないが、非選択セルのノードがVcc以上、Vss以下になり信頼性を劣化させることはない。これは、従来セルに本方式を採用すると、フローティングされた

58

セルノードがキャパシタカップリングで、Vcc以上、Vss以下になるが、本実施形態の非選択セルは、セルトランジスタがONして、強誘電体キャパシタをショートしているためこの問題が起こらないためである。

【0371】また、リファレンスビット線は、同じセルアレイマットにあるBLH1、BLL1であり、フォールデッドBL構成となる。BLH1、BLL1にデータを読み出す場合は、BLH0、BLL0がリファレンスBLとなる。センスアンプ部では、BLH0-BLL0とBLH1-BLL1の差で“1”、“0”を判断する。

【0372】（第54の実施形態）図84は、本発明の第54の実施形態を説明するためのタイミング図であり、図83の実施形態の動作の一例を示している。

【0373】プリチャージ時、BLH0をVcc、BLL0をVssにして、アクティブ時にまずBLH0、BLL0をフローティングにし、次に選択ブロック線BS00をHigh、ワード線WL02をLowにして、セルデータ(Q30、C30)を読み出す（(A)の時間）。

【0374】“0”データの場合、BLH0側に $-(Pr+Ps)$ 分、BLL0側に $+(Pr+Ps)$ 分の電荷が読み出され、前述した実施形態に比べて、約2倍の読み出し電荷量が得られる。その後、BLH0とBLL0の電位差が、リファレンスより大きいと“1”データとしてセンスアンプで増幅され、小さいと“0”データとして増幅される（(B)の時間）。その後、(C)の時間でライト(リストア)が行われる。そして、(D)の時間で、プリチャージされ、元のBLH0=Vcc、BLL0=Vssに戻される。図中の実線は“0”データの読み出し/再書き込み動作例を示し、点線は“1”データの読み出し/再書き込み動作例を示す。

【0375】（第55の実施形態）図85は、本発明の第55の実施形態に係わるFRAMのメモリセル構成を示す等価回路図である。本実施形態は、図83の実施形態にダミーセルの実施形態の1つを追加したものである。

【0376】本実施形態においては、ダミーセルもセルと同じ形態をとり、選択トランジスタを介して、一端をビット線(BLL0)に、他端を対を成すビット線(BLH0)に接続している。

【0377】この構成により、ダミーセルは必ず“1”データが読み出させるようにして、BLH0側に $-(Ps'-Pr')$ 分、BLL0側に $+(Ps'-Pr')$ 分の電荷が読み出され、前述の実施形態のダミーセルに比べて、約2倍の読み出し電荷量が得られる。そして、セルの $Ps=Ps'-Pr'$ となるようにダミーセルサイズを大きくすれば、セルの“1”データと“0”の中間のデータが読み出される。

【0378】（第56の実施形態）図86は、本発明の第56の実施形態を説明するためのタイミング図であ

59

り、図85の実施形態の動作の一例を示している。

【0379】プリチャージ時、BLH0をVcc、BL  
L0をVssにして、アクティブ時にまずBLH0、B  
LL0をフローティングにし、次に選択ブロック線BS  
00をHigh、ワード線WL02をLowにして、セルデ  
ータ(Q30、C30)を読み出す。同時にDBS00を上  
げ、DWLを下げることに、<sup>10</sup> “1”のダミーセルデ  
ータがBLH1側と、BL11側に読み出される。但  
し、ダミーセルサイズが通常のセルより大きく、信号は  
通常セルの“1”と“0”データの中間値を取る

(A)の時間)。

【0380】“0”データの場合、BLH0側に- (P  
r+Ps)分、BL10側に+ (Pr+Ps)分の電荷  
が読み出され、前述した実施形態に比べて、約2倍の読  
み出し電荷量が得られる。その後、BLH0とBL10  
の電位差が、リファレンスビット線間BLH1とBL1  
1の電位差より大きいと“1”データとしてセンスア  
ンプで増幅され、小さいと“0”データとして増幅され  
る。(B)の時間)。その後、(C)の時間でライト(リ  
ストア)が行われる。

【0381】そして、(D)の時間で、プリチャージさ  
れ、元のBLH0=Vcc、BL10=Vss、BLH  
1=Vcc、BL11=Vssに戻され、ダミーセルは  
元の“1”データが書き込まれる。図中の実線は“0”  
データの読み出し/再書き込み動作例を示し、点線は  
“1”データの読み出し/再書き込み動作例を示す。

【0382】(第57の実施形態)図87は、本発明の  
第57の実施形態に係わるFRAMのメモリセル構成を  
示す等価回路図である。

【0383】図83の実施形態に比べ、セルの直列接続<sup>30</sup>  
の両端に選択トランジスタを挿入して、BLH0、BL  
L0に接続している。この場合、セルブロックサイズは  
大きくなるが、BLH0、BL10の両側にセル直列接  
続内の強誘電体キャパシタの容量を除く寄生容量を見え  
なくすることができる。

【0384】(第58の実施形態)図88は、本発明の  
第58の実施形態に係わるFRAMのメモリセル構成を  
示す等価回路図である。

【0385】図83～図87の方式は、リファレンスビ  
ット線が同じセルアレイマトにあるフォールデッドB<sup>40</sup>  
L構成であるが、図88の構成は、リファレンスビット  
線がセンスアンプ回路の反対側のセルアレイマトにあ  
るオープンBL構成の場合を示す。この場合、選択トラ  
ンジスタ数を半減できる。

【0386】(第59の実施形態)図89は、本発明の  
第59の実施形態に係わるFRAMのメモリセル構成を  
示す等価回路図である。

【0387】図88と同様にリファレンスビット線がセ  
ンスアンプ回路の反対側のセルアレイマトにあるオー  
プンBL構成の場合を示し、選択トランジスタがセルの<sup>50</sup>

60

直列接続の両側に配設される。これにより、非選択セル  
ブロックのセル直列接続内の寄生容量がBL容量として  
見えることを無くすることができる。

【0388】(第60の実施形態)図90は、本発明の  
第60の実施形態に係わるFRAMのメモリセル部構成  
を示す平面図(b)と断面図(a)である。このセル構  
造は、図89の回路と等価となる。

【0389】セルブロックのとBLのBLコンタクトを  
セルブロックの両側で、図に示すように、セル1ピッチ  
分ずらせば、容易にBLH0とBL10に接続できる。  
例えば、左側の選択トランジスタを省略して、右側の選  
択トランジスタを4直列にすれば、図83の回路と等価  
となる。

【0390】(第61の実施形態)図91は、本発明の  
第61の実施形態に係わるFRAMのメモリセル構成を  
示す等価回路図である。

【0391】強誘電体キャパシタとセルトランジスタの  
並列接続したものを直列接続して、僅か1個の選択トラ  
ンジスタを介して、一端をビット線(BL10)に、他  
端を対を成すビット線(BLH0)に接続している。こ  
の構成により、セルサイズは8F<sup>2</sup>になるオープンBL  
構成であるが、約2倍の読み出し電荷量が得られる。

【0392】(第62の実施形態)図92は、本発明の  
第62の実施形態に係わるFRAMのメモリセル構成を  
示す等価回路図である。

【0393】強誘電体キャパシタとセルトランジスタの  
並列接続したものを直列接続して、僅か1個の選択トラ  
ンジスタを介して、一端をビット線(BL10)に、他  
端も僅か1個の選択トランジスタを介して、対を成すビ  
ット線(BLH0)に接続している。この構成により、  
セルサイズは8F<sup>2</sup>になるオープンBL構成であるが、  
約2倍の読み出し電荷量が得られ、さらにセル直列内の  
寄生容量によるBL容量の増大を防げる。

【0394】(第63の実施形態)図93は、本発明の  
第63の実施形態に係わるFRAMのセンスアンプ構成  
を示す等価回路図である。このセンスアンプ回路は、図  
85～図86の信号量2倍、フォールデッドBL構成の  
実施形態に適用できる一例を示す。また、この動作の一  
例を図94に示す。

【0395】動作としては、/PREHをHigh、P  
RELをLowにし、ビット線をフローティングにす  
る。次に、WL02を下げBS00を上げ、セルデータをB  
LH0、BL10に読み出し、これがセンスアンプ内の  
BLHA、BL1A伝わる。同時にDWLを下げ、DB  
S00を上げ、ダミーセルデータをBLH1、BL11に  
読み出し、これがセンスアンプ内のBLHB、BL1B  
伝わる。その後、Φt00、Φt01を立ち下げ、センスア  
ンプ内にデータを閉じ込める。

【0396】次いで、PRELを立ち上げ、BL1A、  
BL1BをVssに落とす。このとき、図93に示すよ

61

うに、センスアンプ内に、BLLA-BLHA間、BLLB-BLHB間に接続されたキャパシタC1の効果で、BLHA、BLHBの電位は、セルの読み出し信号の2倍の値だけ下がった値となる。その後、/SAN, SAPを下げ/上げし、センスアンプを活性化し、セル読み出し側のBLHAとダミーセル側のBLHBの差、即ち読み出し信号を増幅する。

【0397】次いで、PRELを下げ、BLLA, BLLAをフローティングにし、TRNAを上げ、増幅されたBLHBのデータをBLLAに伝える。その後、Φt00を上げ、センスアンプで増幅したデータをBLL0, BLH0に伝え、セルに再書き込みを行う。次いで、BS00を下げ、WL02を上げセルを閉じ、/SAN, SAPを非活性にし、TRNAを下げ、/PREHを下げ、PRELを上げ、BLH0=BLHA=BLH1=BLHB=Vcc, BLL0=BLLA=BLL1=BLLB=Vssとする。この時ダミーセルには、“1”データが再書き込まれ、最後に、DBS01を下げ、DWLを上げ、ダミーセルを閉じる。

【0398】(第64の実施形態)図95は、本発明の第64の実施形態に係わるFRAMのセンスアンプ構成を示す等価回路図である。このセンスアンプ回路は、図83~84、図87の信号量2倍、フォールデッドBL構成の実施形態に適用できる一例を示す。また、この動作の一例を図96に示す。

【0399】図93と異なる点は、ダミーセルが、センスアンプ内のカップリングキャパシタで代用している点である。動作としては、/PREHをHigh、PRELをLowにし、ビット線をフローティングにする。次に、WL02を下げBS00を上げ、セルデータをBLH0, BLL0に読み出し、これがセンスアンプ内のBLHA, BLLAに伝わる。その後、Φt00, Φt01を立ち下げ、センスアンプ内にデータを閉じ込める。

【0400】次いで、PRELを立ち上げ、BLLA, BLLBをVssに落とす。このとき、図95に示すように、センスアンプ内に、BLLA-BLHA間に接続されたキャパシタC1の効果で、BLHA電位は、セルの読み出し信号の2倍の値だけ下がった値となる。その後、/DWLAを下げ、BLHB側の電位を“1”、“0”データの中間値に下げる。その後、/SAN, SAPを下げ/上げし、センスアンプを活性化し、セル読み出し側のBLHAとダミーセル側のBLHBの差、即ち読み出し信号を増幅する。

【0401】その後、PRELを下げ、BLLA, BLLAをフローティングにし、TRNAを上げ、増幅されたBLHBのデータをBLLAに伝える。その後、Φt00を上げ、センスアンプで増幅したデータをBLL0, BLH0に伝え、セルに再書き込みを行う。その後、BS00を下げ、WL02を上げセルを閉じ、/SAN, SAPを非活性にし、TRNAを下げ、/PREHを下げ、

62

PRELを上げ、BLH0=BLHA=BLH1=BLHB=Vcc, BLL0=BLLA=BLL1=BLLB=Vssとする。この時ダミーセル用キャパシタの制御信号Highレベルに戻し、プリチャージ時に戻す。

【0402】(第65の実施形態)図97は、本発明の第65の実施形態に係わるFRAMのセンスアンプ構成を示す等価回路図である。このセンスアンプ回路は、図85~86の信号量2倍、フォールデッドBL構成の実施形態に適用できる一例を示す。この動作の一例を図98に示す。

【0403】図93、図94と異なる点は、TRNAとTRNBを共用して1本のTRNに変更した点である。この場合、センスアンプ面積を低減できる。デメリットは、センス増幅後にTRNを上げると、BLLB側もリストアされ僅かに消費電力が増加する点である。

【0404】(第66の実施形態)図99は、本発明の第66の実施形態に係わるFRAMのセンスアンプ構成を示す等価回路図である。このセンスアンプ回路は、図85~86の信号量2倍、フォールデッドBL構成の実施形態に適用できる一例を示す。この動作の一例を図100に示す。

【0405】図97、図98と異なる点は、Φt00, Φt01をΦt0にまとめた点である。この場合、センスアンプ面積をさらに低減できる。デメリットは、センス増幅後にTRNを上げると、BLH0, BLL0側ばかりでなく、BLH1, BLL1側も一旦リストアされ消費電力が増加する点である。

【0406】(第67の実施形態)図101は、本発明の第67の実施形態に係わるFRAMのセンスアンプ構成を示す等価回路図である。このセンスアンプ回路は、図88~92の信号量2倍、オープンBL構成の実施形態に適用できる一例を示す。

【0407】図93と異なる点は、BLH1, BLL1がセンスアンプの右側に来て、シェアードセンスアンプが廃止され、回路位置が変更されただけで、あとは図93と等価である。

【0408】(第68の実施形態)図102は、本発明の第68の実施形態に係わるFRAMのメモリセル部構成を示す等価回路図である。

【0409】メモリセルトランジスタに並列に、抗電圧が異なる強誘電体キャパシタ(Ca, Cb)を接続したものを1セルとし、これを直列接続して、一端を選択トランジスタを介してビット線(/BL, BL)に接続し、他端をプレート(PL)に接続してセルブロックを構成する。この構成により、1セルに2ビットのデータを持たすことができ、配置としてはフォールデッドBL構成となる。

【0410】(第69の実施形態)図103は、本発明の第69の実施形態に係わるFRAMのメモリセル部構成を示す断面図であり、図102のメモリセルの等価回



63

路を実現している。

【0411】メモリセルトランジスタ上に、膜厚が異なる強誘電体キャパシタ(Cbの厚み>Caの厚み)を接続したものを1セルとしている。厚みを変えるのは、強誘電体キャパシタの特徴として、抗電圧は膜厚によらずほぼ一定のため、強誘電体キャパシタ膜の膜厚を薄くすると、抗電圧が低下するためである。しかも、残留分極量は膜厚に依存しないため、Cbの膜厚の厚い強誘電体キャパシタの1ビットデータを読む時も、Caの膜厚の薄い強誘電体キャパシタの1ビットデータを読む時も読み出しマージンはほぼ変わらない特徴が持て安定動作が可能となる。

【0412】セルサイズとしては、WLとBLの交点の4F<sup>2</sup>サイズの中に、セルトランジスタと、2ビットの強誘電体キャパシタを持てるため、実質2F<sup>2</sup>サイズセルとなることできる。トランジスタを縦方向に4段以上積んでセルアレイを3次元化すれば、従来方式でも2F<sup>2</sup>セルを実現できるが、トランジスタをTFTのように積層することは、デバイス構成、特性、プロセス、信頼性、歩留まり上の観点から非常に困難を伴う。

【0413】これに対して本実施形態においては、トランジスタはバルク上で最小の4F<sup>2</sup>サイズで形成するため容易に実現でき、トランジスタ以外のプロセス、信頼性の観点から比較的積層容易な受動素子(強誘電体キャパシタ、抵抗、キャパシタ、pn接合等)をこの4F<sup>2</sup>サイズ上に多重に積層することにより、1ビット当り2F<sup>2</sup>以下のセルを実現できる。従来の8F<sup>2</sup>セルでも強誘電体キャパシタを並列接続して、多層積層して、セルサイズ縮小効果を得ることができるが、基本スタンスとしては、まずできる限りセルサイズを縮小して(4F<sup>2</sup>にして)それから、Tr以外の強誘電体キャパシタ等を多層積層して、ビット数を増やして行く方法が最適と言える。また、この方法の方ができるだけセルサイズ縮小に対して、ランダムアクセスを保つことができる。

【0414】強誘電体キャパシタの抗電圧を変える方法は膜厚ばかりでなく、材料を変える、例えば(SrBiTaO)と(PbZrTiO)の抗電圧が最初から異なる材料を並列接続しても良い。

【0415】(第70の実施形態)図104は、本発明の第70の実施形態を説明するための特性図であり、図102、図103のメモリセルの動作の一例を示している。

【0416】図104(a)は、並列接続された膜厚が薄い方の強誘電体キャパシタ(Ca)のヒステリスループの模式図(常誘電体成分を取り除いた図)を示し、抗電圧をVca、残留分極量をPra、飽和分極量をPsaとする。図104(b)は、並列接続された膜厚が厚い方の強誘電体キャパシタ(Cb)のヒステリスループの模式図(常誘電体成分を取り除いた図)を示し、抗電圧をVcb、残留分極量をPrb、飽和分極量をPsb

64

とする。そして、これら2つの強誘電体キャパシタを並列接続した場合の等価ヒステリスループの模式図(常誘電体成分を取り除いた図)を図104(c)に示す。

【0417】基本動作としては、強誘電体キャパシタ両端に小さい電圧を印加して、Caデータを読み出し、次に大きな電圧を印加して、Cbのデータを読み出し/再書き込みを行い、最後に小さい電圧を印加して、Caデータの再書き込みを行う。もう少し具体的な例では、強誘電体キャパシタ両端に(即ち、BL-PL間に)印加される電圧をV1とすると、第1にCbの分極反転が起こらず、Caの分極反転が起こる程度の小さい(-Vcb)<V1<(-Vca)の電圧を印加して、Caの分極反転情報を読み出し、一時的にセルアレイ外に記憶する。次に、一度V1=0Vにリセットする。

【0418】第2に、Cbの分極反転が起こる大きいV1<(-Vcb)の電圧を印加して、Cbの分極反転情報を読み出し、増幅後、Cbの分極反転を伴うV1<(-Vcb) ("0"データ) 或いは(Vcb)<V1 ("1"データ)の電圧で、Cbにセルデータを再書き込みを行い、次に一度V1=0Vにリセットする。

【0419】第3に、一時記憶されたデータのCaへの再書き込みを行う。即ち、Cbのデータが破壊されないように、Cbの分極反転が起こらず、Caの分極反転が起こる(-Vcb)<V1<(-Vca) ("0"データ) 或いは(Vca)<V1<(Vcb) ("1"データ)の電圧で、Caにセルデータを再書き込みを行い、最後にV1=0Vにリセットしてプリチャージ時間とする。

【0420】途中の操作で何度かV1=0Vにリセットしているが、これはある一定の電圧にリセットしても良い。Ca、Cbの読み出し/書き込みの区別をマージンを持って行うには、(Vcb)/(Vca)比3倍~5倍程度が必要と思われる。(Vcb)/(Vca)比が小さいとVcb-Vca差が無くなり誤動作の原因となるし、(Vcb)/(Vca)が大きすぎると、VccよりVcbは大きくできないため、結果としてVcaの値が小さくなりすぎ、ノイズでCaのデータが破壊されるためである。

【0421】より正確に言えば、抗電圧は、強誘電体キャパシタ内で分布を持つため、印加電圧に対して傾きを持って分極反転を行う。よって、Caがほぼ100%反転する抗電圧をVcamax、Cbが反転し始める最小の抗電圧をVcbminとすると、強誘電体キャパシタCaの読み出し、書き込み時の電圧は、Vcamax<|V1|<Vcbminとすべきで、|V1|-Vcamax>α、Vcbmin-|V1|>αと十分α>0となりマージンを持つように強誘電体キャパシタの膜厚を設定する必要がある。例えば、Vca=0.5V、Vcb=2V、Cb読み出しのV1=-3V、Ca読み出しのV1=-1Vと設定するのが1つの例である。

65

【0422】Ca読み出しの $V1 = -1V$ 時、 $|V1| - Vca = 0.5V$ 、 $Vcb - |V1| = 1V$ とアンバランスにするのは、図105(a)～(c)に示すように、実際のヒステリスループでは、Cbの方が抗電圧の分布幅が広いためである。これは、実際はCa、Cbで、抗電界の分布が等しいが、電圧換算ではCbの分布が広がるためである。また例えば、Cb読み出し印加電圧を $Vcc = 3V$ 、Ca読み出し印加電圧を $1/2 Vcc = 1.5V$ の制約下では、 $Vca = 0.5 \sim 0.75V$ 、 $Vcb = 2 \sim 2.25V$ 程度に設定しても良い。

【0423】図104、105に示すように、本実施形態では“11”データ(先頭がCbのデータ、後ろがCaのデータ)は $Pr'$ ( $= 2Pra = 2Prb$ )の位置にあり、“00”データは $-Pr'$ ( $= -2Pra = -2Prb$ )の位置にあり、“01”、“10”は0Vの位置にある。“01”、“10”は同じ位置にあるが、電圧を印加した場合、動作する軌跡が異なるため、4種類の状態を持ち、リファレンスとの動作マージンを考えると、図103のような2層の強誘電体キャパシタ積層では、各層の分極量は前述の4F<sup>2</sup>セルの場合と同じなため、マージンは $1/2 Pr' = (Pra = Prb)$ となり、前述の4F<sup>2</sup>と同等となりうる。

【0424】これに対して、強誘電体キャパシタ面積を2倍にして、4値メモリを構成した場合、 $-2Pr \sim 2Pr$ 間を3分割した点で情報を記憶するため( $2Pr$ 、 $2/3Pr$ 、 $-2/3Pr$ 、 $-2Pr$ の位置)、リファレンスとの動作マージンを考えると、マージンは $2/3Pr$ となり本実施形態に比べ劣化する上、センスアンプ回路が細かい電圧を読む必要があり、回路が大きくなる上、マージンが無くなる。これは本発明は、4F<sup>2</sup>サイズで、 $nCap + 1Tr$ のnビットデータを保持し、容量が(積層強誘電体キャパシタ数:n)に比例となるのに対して、多値メモリは、容量が( $\log_2(m)$ 値)に比例となるため不利となる。

【0425】具体的に、ヒステリスループの軌跡を追ってみることとする。

【0426】例えば、2ビットのセルデータが“11”の場合(E'点)、 $V1 = -1/2 Vcc$ の電圧を印加すると(F'点)に来て、Caのデータが読み出される。一度リセットして、(G'点)点に来た後、 $V1 = -Vcc$ の電圧を印加して、(H'点)点に来て、Cbのデータが読み出され、再書き込み後は(D'点)に戻り、リセット後、(E'点)に戻る。次に、Caの再書き込みで、(J'点)点に来て、プリチャージで(E'点)に戻る。

【0427】例えば、2ビットのセルデータが“10”の場合(G'点)、 $V1 = -1/2 Vcc$ の電圧を印加すると(F'点)に来て、Caのデータが読み出される。一度リセットして、(G'点)点に来た後、 $V1 = -Vcc$ の電圧を印加して、(H'点)点に来て、Cbのデータが読み出され、再書き込み後は(D'点)に戻り、リ

66

セット後、(E'点)に戻る。次に、Caの再書き込みで、(F'点)点に来て、プリチャージで(G'点)に戻る。

【0428】例えば、2ビットのセルデータが“01”の場合(C'点)、 $V1 = -1/2 Vcc$ の電圧を印加すると(I'点)点に来て、Caのデータが読み出される。一度リセットして、(A'点)点に来た後、 $V1 = -Vcc$ の電圧を印加して、(H'点)点に来て、Cbのデータが読み出され、再書き込み後は(H'点)に戻り、リセット後、(A'点)に戻る。次に、Caの再書き込みで、(B'点)点に来て、プリチャージで(C'点)に戻る。

【0429】例えば、2ビットのセルデータが“00”の場合(A'点)、 $V1 = -1/2 Vcc$ の電圧を印加すると(I'点)点に来て、Caのデータが読み出される。一度リセットして、(A'点)点に来た後、 $V1 = -Vcc$ の電圧を印加して、(H'点)点に来て、Cbのデータが読み出され、再書き込み後は(H'点)に戻り、リセット後、(A'点)に戻る。次に、Caの再書き込みで、(I'点)点に来て、プリチャージで(A'点)に戻る。

【0430】このように、位置的には、(G'点)と(C'点)は同じであるが、多値メモリとは異なり、動作する軌跡は異なり、別のデータとして認識できる。

【0431】(第71の実施形態)図106は、本発明の第71の実施形態を説明するためのもので、図102の実施形態に、フォールデッドBL構成のセンスアンプ回路と一時記憶レジスタを配設した場合を示している。

【0432】例えば、BS00及びWL02を選択して、強誘電体キャパシタC300、C301を/BLに順に読み書きする場合、BLがリファレンスビット線となり、まずC300のデータを読み出した時点で、このデータを図中の一時記憶レジスタに貯え、次にC301のデータを読み書き後、一時記憶レジスタに貯えられていたデータをC300に書き戻せば良い。

【0433】(第72の実施形態)図107は、本発明の第72の実施形態を説明するためのもので、図106の実施形態に強誘電体キャパシタのダミーセルを加えた場合の例を示している。

【0434】これは、通常セルと同一の構造で実現できる。プリチャージ後も少しの間、DWLをLow、DBS01をHighに保っておけば、“0”データが書き込まれ、次のサイクル時に“0”データが読み出され、ダミーセルの面積を大きめにしておけば、通常セルの“1”、“0”データの中間の電位にBL電位を持つてくることができる。

【0435】図108は、図107の実施形態のダミーセルを複数直列接続した場合を示している。図40(b)、図42と同様の効果がある。

【0436】(第73の実施形態)図109は、本発明の第73の実施形態を説明するためのもので、図102から図108の方式に適用できるセンスアンプ回路の一例を示している。これは、プレート(PL)電圧固定の

67

方式の場合を示す。

【0437】通常の強誘電体メモリ用のセンスアンプ回路と異なる点は、(1)センスアンプ内ビット線対(／BLSA, BLSA)を $V_{ss}$ ばかりでなく、VBLLにプリチャージする回路を持つ、(2)／SAN, SAPの電位を、 $V_{cc}$ 、 $V_{ss}$ ばかりでなく、VBLL, VBLHにする回路を持つ、(3)センスアンプ内に、セル読み出しデータを一時記憶するレジスタを持つ、点である。

【0438】(第74の実施形態)図110は、本発明の第74の実施形態を説明するためのもので、図102から図107のセル構成及び図109のセンスアンプ回路及び図108に適用できる動作の3つの例を示している。これは、プレート(PL)電圧固定の方式の場合を示す。

【0439】(ケースA)では、 $PL=1/2V_{cc}$ で、ビット線をVBLLにプリチャージしておき、WL02を下げ、BS00を上げると、セルには $(1/2)V_{cc}-VBLL$ の電位が印加され、C300のデータが読み出される。この後、センスアンプを活性化し、ビット線をVBLLとVBLHに増幅して、このデータをTRをHighにして一時記憶レジスタに記憶する。

【0440】次に、／BL, BLをVBLLに落とし、C300が“1”データの場合と、“0”データの場合での分極量の違いを無くし、BS00を下げ、WL02を上げ、強誘電体キャパシタ間の電位を0Vにして、／BL, BLを $V_{ss}$ にプリチャージにして、再度WL02を下げ、BS00を上げ、C301のデータを読み出す。センスアンプで増幅後、BS02を下げ、WL02を上げ、強誘電体キャパシタ間の電位を0Vにする。／BL, BLをイコライズしてから、WL02を下げ、BS02を上げ、ビット線とセルを接続して、一時記憶レジスタのC300のデータをセルに再書き込みして、BS00を下げ、WL02を上げ、／BL, BLをVBLLにプリチャージして1サイクルの動作が終了する。

【0441】(ケースB)は、C300のデータの読み出し後、 $\Phi t0$ を下げ、センスアンプを増幅するため、無駄な／BL, BLの再書き込みが起こらない。そして、／BL, BLのVBLLへの引き下げの時、 $\Phi t0$ を上げる。

【0442】(ケースC)は、(ケースB)の場合で、しかも図107のダミーセルを用いた場合を示す。C301のデータをセルに再書き込みを行い、BS00を下げ、WL02を上げた後、／BL, BLを $V_{ss}$ まで一旦下げる。この時、DBS00はHighのまま、DWLをLowに保ったまま、ダミーセルに“00”データが書き込まれる。その後、ダミーセルはDBS00をLow、DWLをHighにして、次のサイクルの動作に備えることができる。

【0443】(第75の実施形態)図111は、本発明

68

の第75の実施形態を説明するためのもので、図102から図107のセル構成及び図108のセンスアンプ回路に適用できる他の動作の2つの例を示している。

【0444】これは、プレート(PL)電圧固定の方式の場合を示す。図110に比べて、必ずしも必要でない、WL02, BS00の動作数を減らして高速化が図れる。

【0445】(ケースA)では、 $PL=1/2V_{cc}$ で、ビット線をVBLLにプリチャージしておき、WL02を下げ、BS00を上げると、セルには $(1/2)V_{cc}-VBLL$ の電位が印加され、C300のデータが読み出される。この後、センスアンプを活性化し、ビット線をVBLLとVBLHに増幅して、このデータをTRをHighにして一時記憶レジスタに記憶する。

【0446】次に、／BL, BLをVBLLに落とし、C300が“1”データの場合と、“0”データの場合での分極量の違いを無くし、BS00を下げ、セルとビット線を分離して、／BL, BLを $V_{ss}$ にプリチャージにして、再度BS00を上げ、C301のデータを読み出す。センスアンプで増幅し、C301のデータの再書き込みを行う。／BL, BLをイコライズしてから、再度TRをHighにして、一時記憶レジスタのC300のデータをセルに再書き込みして、BS00を下げ、WL02を上げ、／BL, BLをVBLLにプリチャージして1サイクルの動作が終了する。

【0447】(ケースB)は、C300のデータの読み出し後、 $\Phi t0$ を下げ、センスアンプを増幅するため、無駄な／BL, BLの再書き込みが起こらない。そして、／BL, BLのVBLLへの引き下げの時、 $\Phi t0$ を上げる。

【0448】勿論、C300を読む場合とC301を読む場合でPL駆動方式を用いて、C300の場合は、 $0V \leq PL \leq V_{cc}/3$ 、 $0V \leq BL \leq V_{cc}/3$ とし、C301の場合には、 $0V \leq PL \leq V_{cc}$ 、 $0V \leq BL \leq V_{cc}$ の範囲で動作させ実現してもよい。

【0449】(第76の実施形態)図112は、本発明の第76の実施形態を説明するためのもので、図102から図107の方式に適用できるセンスアンプ回路の一例を示す。これは、プレート(PL)電圧を一部分駆動する場合を示している。

【0450】通常の強誘電体メモリ用のセンスアンプ回路と異なる点は、センスアンプ内にセル読み出しデータを一時記憶するレジスタを持つ点のみであり、複雑で不安定動作になる可能性のあるVBLL, VBLHのプリチャージ、センス回路が不要となる。

【0451】(第77の実施形態)図113は、本発明の第77の実施形態を説明するためのもので、図102から図107のセル構成及び図112のセンスアンプ回路に適用できる動作の3つの例を示している。これは、プレート(PL)電圧一部駆動の方式の場合を示す。

69

【0452】簡単に言うと、抗電圧が小さいC300セルを読む場合は、 $(1/2)V_{cc}$ 固定PL方式を用いる。これにより、セルに印加される「最大電圧」は $(1/2)V_{cc}$ となる。抗電圧が大きいC301セルを読む場合、PL駆動方式を採用する。これにより、セルに印加される「最大電圧」は $V_{cc}$ となる。これらの動作により、ビット線対/BL、BLの最大振幅は $V_{cc}$ で一定に保つことが可能となり、余分な回路が不要となる。

【0453】(ケースA)では、 $PL=1/2V_{cc}$ で、ビット線を $V_{ss}$ にプリチャージしておき、WL02<sup>10</sup>を下げ、BS00を上げると、セルには $(1/2)V_{cc}$ の電位が印加され、C300のデータが読み出される。この後、センスアンプを活性化し、ビット線を $V_{cc}$ と $V_{ss}$ に増幅して、このデータをTRをHighにして一時記憶レジスタに記憶する。次に、/BL、BLを $V_{ss}$ に落とし、C300が“1”データの場合と“0”データの場合での分極量の違いを無くし、/BL、BLをフローティングにした後、PL電圧を $V_{cc}$ に上げる。すると、ビット線にC301のデータが読み出される。センスアンプで増幅して、ビット線を $V_{ss}$ 、 $V_{cc}$ にする<sup>20</sup>と、C301が“0”の場合再書き込みが行われ、次にPL電圧を $V_{ss}$ に下げると、C301が“1”の場合再書き込みが行われる。

【0454】次に、PL電圧を $(1/2)V_{cc}$ に戻し、ビット線対を $(1/2)V_{cc}$ にイコライズする。こうすると、C301のデータに対して、逆に分極反転されることが無い。次に、 $PL=(1/2)V_{cc}$ のままで、TRをHighにして、一時記憶レジスタのC300のデータをセルに再書き込みして、BS00を下げ、WL02<sup>30</sup>を上げ、/BL、BLを $V_{ss}$ にプリチャージする。丸数字の2に示すように、/BL、BLを $(1/2)V_{cc}$ にしてから、BS00を下げ、WL02を上げても良い。これで、1サイクルの動作が終了する。

【0455】ちなみに、一時記憶レジスタに強誘電体キャパシタを用いた場合、 $V_{PL}'$ を固定のままにしても、常誘電成分による電荷で一時記憶ができる。

【0456】(ケースB)は、C300のデータの読み出し後、 $\Phi t0$ を下げ、センスアンプを増幅するため、無駄な/BL、BLの再書き込みが起こらない。そして、/BL、BLのVBL<sup>40</sup>への引き下げの時、 $\Phi t0$ を上げる。

【0457】(ケースC)は、(ケースB)の場合で、しかもC301のデータ読み出し後、 $\Phi t0$ を下げる場合を示す。このケースでは、例えば一時記憶レジスタをC300、C301用に2種類備え、一時記憶レジスタにC300、C301の両方貯えた後、一時記憶レジスタ介して、C300、C301のデータを外部に読み出し、外部から一時記憶レジスタに書き込む場合の方式に適している。多量のデータを外部とやり取りする、High-Bn<sup>ad</sup>FRAMの方式に適している。

70

【0458】(第78の実施形態)図114は、本発明の第78の実施形態を説明するためのもので、図102から図107の方式に適用できるセンスアンプ回路の一例を示している。

【0459】これは、プレート(PL)電圧を一部分駆動する場合である。図114に示すように、図112の構成に加え、カップリング型のダミーセルをセンスアンプ回路内に備えた構成となっている。

【0460】(第79の実施形態)図115は、本発明の第79の実施形態を説明するためのもので、図102から図107の方式に適用できるセンスアンプ回路の一例を示している。これは、プレート(PL)電圧を一部分駆動する場合を示す。

【0461】図114の構成に加え、カップリング型のダミーセルをセンスアンプ回路内に2種類備えている。これは、基本的に強誘電体キャパシタの膜厚が異なっても、残留分極量は変わらないが、常誘電体成分が異なるため、カップリング型のダミーセルを用いる場合、微妙にカップリング容量を変え、最適化する場合に便利となる。なお、前記図43の効果に対応して、更にキャパシタを増加させてもよい。

【0462】(第80の実施形態)図116は、本発明の第80の実施形態を説明するためのもので、図102から図107の方式に適用できるセンスアンプ回路の一例を示している。これは、プレート(PL)電圧を一部分駆動する場合を示す。

【0463】図115と異なる点は、一時記憶レジスタとして、強誘電体キャパシタではなく常誘電体キャパシタを用いた点である。その他、フリップ・フロップ等他の記憶素子でも良い。

【0464】(第81の実施形態)図117は、本発明の第81の実施形態を説明するためのもので、図102から図107の方式に適用できるセンスアンプ回路の一例を示している。これは、プレート(PL)電圧を一部分駆動する場合を示す。

【0465】図114と異なる点は、一時記憶レジスタが2ビットデータを持っている点である。1つは抗電圧が小さいセル用で、1つは抗電圧が大きいセル用である。これは、図114(ケースC)のような利用に適用できる。

【0466】勿論、図113に示すような、プレート一部駆動法と、図109に示すような、ビット線振幅を変える方法を組み合わせて、図102~図107の多ビットセルを動作させることが出来る。

【0467】 $(1/2)V_{dd}$ プレートとビット線小振幅を組み合わせて、最初のビットを読み出し、 $V_{dd}$ 振幅プレートとビット線大振幅を組み合わせて次のビットを読み出す訳である。この場合、ビット線振幅の比は、図110、図111の値の半分に低減出来制御し易くなる。

<sup>50</sup> また、図109のビット線振幅を変える方式において

71

も、Vdd振幅プレート方式は適用できる。

【0468】図102～107のセルに対して図113のような動作を適用した場合、センスアンプ回路の動作が容易になる反面、プレート電極をVss、Vcc、(1/2)Vccに変動する必要がある。Vss、Vccにするのは、Vss、Vcc線に接続すれば良いが、(1/2)Vccにするには、チップ内部の(1/2)Vcc発生回路で発生された(1/2)Vcc電源を用いる必要があり、プレートがVssから(1/2)Vccに戻す場合、(1/2)Vcc電源が下がり問題となる。

【0469】そこで、図118に示すように、2セルブロック毎に存在するプレート電極を選択したブロックのみ駆動すれば、プレート負荷容量が大幅に低減され、(1/2)Vcc電源の揺れは抑えられる。図118においては、プレートをPL1からPLnのn分割しており、デコーダ回路により選択したセルブロックのプレートのみを駆動している。

【0470】図119(a)は、プレート信号を2種類に分け、PL駆動回路では、PLAがVccになるときPLBをVssにし、PLAがVssになるときPLBをVccにし、PLAとPLBをショートして、(1/2)Vccを自動的に発生させている。セルアレイA(サブセルアレイでも良い)が活性化されている時、セルアレイBはプレートのみダミーで駆動すれば実現できる。このPL駆動回路の詳細回路例を図120に示す。PLEQLをHighにすることによりPLAとPLBはショートされ、(1/2)Vccが自動発生される。さらに、消費電荷も半減できる。

【0471】図119(b)は図119(a)に加え、プレートをアドレスでデコードし、さらに消費電力を減らした例を示し、この場合でも(1/2)Vccは自動発生できる。図119(b)のPL駆動回路とデコーダ回路の詳細回路例を図121に示す。

【0472】図119において、(サブ)アレイAばかりでなく(サブ)アレイBも活性化させ、(サブ)アレイB側を、図122に示すように、PLBばかりでなく、BLもVccにプリチャージにして、アレイAと逆の動きをさせると、容易にPLを(1/2)Vccにできる。このときのセンスアンプ回路を図123に示す。センスアンプAはVssプリチャージ回路が搭載され、センスアンプBはVccプリチャージ回路が搭載される。図124は、2ビットセルの前半の読み出しを両セルアレイ共にVssプリチャージで、後半の読み出しをアレイAはBssプリチャージで、アレイBをVccプリチャージで動作を行っている。

【0473】(第82の実施形態)図125は、本発明の第82の実施形態を説明するためのもので、図102のメモリセルの等価回路図を実現するメモリセル構造の断面図を示す。これは、図103の構造の変形例である。

72

【0474】ビット線形成後、膜厚の異なる強誘電体キャパシタを積層している。

【0475】(第83の実施形態)図126は、本発明の第83の実施形態を説明するためのもので、図102のメモリセルの等価回路図を実現するメモリセル構造の断面図を示す。これは、図103の構造の変形例である。

【0476】ビット線形成後、膜厚の異なる強誘電体キャパシタをSi面に垂直に積層している。図125と異なり、強誘電体キャパシタ膜間に電極を挟む必要がなく、無駄なプロセスを無くしている。SNの電極は、拡散層から引き伸ばし、同時に形成できる。SN間の隙間を2種類に分けてSNを形成すれば、その間に強誘電体キャパシタ膜を形成すると、自動的に抗電圧の異なる2つの強誘電体キャパシタが形成できる。

【0477】(第84の実施形態)図127は、本発明の第84の実施形態を説明するためのもので、図102のメモリセルの等価回路図を実現するメモリセル構造の断面図を示す。これは、図103の構造の変形例である。

【0478】下部電極に2種類の幅を持つ溝或いは穴を形成し、強誘電体キャパシタ膜を形成し、上部電極を形成した場合を示し、容易に強誘電体キャパシタ面積を大きく取ることができる。

【0479】(第85の実施形態)図128は、本発明の第85の実施形態を説明するためのもので、図102の構成がフォールデッドBL用であるのに対して、これはオープン或いは2Tr+2Cap用のセル構成の等価回路図(a)及びセル断面図(b)を示す。

【0480】この場合、セルの直列接続に、僅か1個の選択トランジスタ接続すれば実現できる。

【0481】(第86の実施形態)図129は、本発明の第86の実施形態を説明するための等価回路図である。図102が4F<sup>2</sup>セルに2ビットのデータを保持するのに対して、本実施形態においては、3つの抗電圧が異なる強誘電体キャパシタとセルトランジスタを並列接続したものを直列接続して、一端を選択トランジスタを介してビット線に接続して、他端をPLに接続している。1セルに3ビットのデータを保持することができ、記憶容量を増大できる。

【0482】(第87の実施形態)図130は、本発明の第87の実施形態を説明するためのもので、図129の等価回路を実現するセル構造の断面図を示している。

【0483】4F<sup>2</sup>サイズにセルトランジスタと、上部に3つの抗電圧が異なる強誘電体キャパシタを積層することによって、4F<sup>2</sup>サイズで3ビットのデータを保持できる。

【0484】(第88の実施形態)図131は、本発明の第88の実施形態を説明するための等価回路図である。図102が4F<sup>2</sup>セルに2ビットのデータを保持す

73

るの対して、本実施形態においては、4つの抗電圧が異なる強誘電体キャパシタとセルトランジスタを並列接続したものを直列接続して、一端を選択トランジスタを介してビット線に接続して、他端をPLに接続している。1セルに4ビットのデータを保持することができ、記憶容量を増大できる。更に、強誘電体キャパシタの並列数を増加させることにより容量増大が図れる。

【0485】(第89の実施形態)図132は、本発明の第89の実施形態を説明するためのもので、図131の等価回路を実現するセル構造の断面図を示している。10

【0486】4F<sup>2</sup>サイズにセルトランジスタと、上部に4つの抗電圧が異なる強誘電体キャパシタを積層することにより、4F<sup>2</sup>サイズで4ビットのデータを保持できる。結果として、従来の8F<sup>2</sup>サイズのFRAMに対して、2倍×4倍=8倍の集積度を実現できる。

【0487】(第90の実施形態)図133は、本発明の第90の実施形態を説明するためのもので、図102のnCap+1Trセル構成と図83の構成を組み合わせた場合を示している。

【0488】4F<sup>2</sup>サイズに2ビット以上の情報を貯えつつ、フォールデッドBLで低ノイズで、BLのピッチを緩和して、さらにセンスアンプ数を削減して、チップサイズを低減している。

【0489】(第91の実施形態)図134は、本発明の第91の実施形態を説明するためのもので、(a)は等価回路図、(b)は特性図である。

【0490】図102の抗電圧が異なる強誘電体キャパシタを並列接続するnCap+1Trセル構成と異なり、同じ抗電圧のセルを接続している。但し、セルトランジスタに近い強誘電体キャパシタはセルトランジスタに直に並列接続しているが、奥の強誘電体キャパシタは、電圧降下素子を直列に接続してから、セルトランジスタに並列接続している。

【0491】この電圧降下素子は、図134(b)に示すように、一定のバイアス値以上になると両方向の電流が流れる特性を示すものが用いられる。これにより、奥のセルは、セルトランジスタに印加された電圧から一定の電圧を引いた小さい電圧が印加されることとなり、見掛け上、奥の強誘電体キャパシタの抗電圧が大きい場合とほぼ同じ振る舞いをする。

【0492】(第92の実施形態)図135(a)は、本発明の第92の実施形態を説明するためのもので、図134の等価回路を実現するデバイス構造を示す。ここで、Caの抗電圧=Cbの抗電圧が実現できる。

【0493】電圧降下素子(Da)としては、図135(b)~(e)まで、各種構成が有り得る。(b)は、pnp或いはnpnの接合で構成され、nを通過するpからpへの、pを通過するnからnへのパンチスルーで実現している。(c)は高濃度PN接合を用いたツェナーダイオードで実現している。(d)は、pn接合、n

74

p接合の並列接続で実現している。(e)は常誘電体キャパシタと強誘電体キャパシタを並列接続すると、容量比で、見掛け上の抗電圧が上昇することを利用して

る。

【0494】特に、(e)においては、図135のような構成ではなく、図24の強誘電体キャパシタの一部に常誘電体キャパシタが挿入されていれば実現できる。

【0495】(第93の実施形態)図136は、本発明の第93の実施形態を説明するための等価回路図である。図102の抗電圧が異なる強誘電体キャパシタを並列接続するnCap+1Trセル構成と異なり、同じ抗電圧のセルを接続している。但し、セルトランジスタに近い強誘電体キャパシタ(Ca)はセルトランジスタに直に並列接続しているが、奥の強誘電体キャパシタ(Cb)は、抵抗素子(Ra)を直列に接続してから、セルトランジスタに並列接続している。これにより、抵抗素子Raの抵抗を十分大きく設定しておく、データ読み出し/書き込み時、強誘電体キャパシタCaのデータは直ぐに読み書きできるが、強誘電体キャパシタCbのデータは、抵抗素子Raと強誘電体キャパシタCb自身の容量によるRC時定数で、ゆっくり読み書きされる。

【0496】この効果により、動作としては、まず強誘電体キャパシタCaデータを読み出し、一時記憶レジスタに貯え、その後に十分時間をかけて、強誘電体キャパシタCbのデータの読み書きを行い、最後に一時記憶レジスタのデータをCaに再書き込みすれば、2強誘電体キャパシタ+1セルトランジスタセルが実現できる。

【0497】(第94の実施形態)図137は、本発明の第94の実施形態を説明するためのもので、図136の等価回路を実現するデバイス構造を示している。

【0498】図に示す位置に抵抗素子を備えれば、図136の等価回路を実現できる。例えば、Caの読み書きを50ns未満で行うことを考えると、Ca容量を100fFとすると、 $t=RC$ から、 $R=C/t=100\text{fF}/50\text{ns}=2\text{M}\Omega$ 。よって、Raとして、2MΩより十分マージンを持って大きな抵抗素子を利用すれば良い。

【0499】(第95の実施形態)図138は、本発明の第95の実施形態を説明するための等価回路図である。図136の実施形態にセンスアンプ回路、Caの読み出しデータを一時記憶しておく、一時記憶レジスタ回路を備えている。本実施形態はフォールデッドBL構成例である。

【0500】(第96の実施形態)図139は、本発明の第96の実施形態を説明するためのタイミング図であり、図138の構成の動作の一例を示している。これは、プレート(PL)電圧固定の方式の場合を示す。

【0501】(ケースA)では、 $PL=(1/2)V_{cc}$ で、ビット線をVssにプリチャージしておき、WL02を下げ、BS00を上げると、強誘電体キャパシタC300

75

のデータがビット線/BLに読み出される。この時、強誘電体キャパシタC301のデータは抵抗素子R30により直ぐには読み出されない。その後、センスアンプが活性化され、C300のデータは一時記憶レジスタに保存される。その後、/BL、BLをVssに落とし、C300が“1”データの場合と“0”データの場合での分極量の違いを無くし、WL02を上げ、BS00を下げ、強誘電体キャパシタ間の電位を0Vにして、/BL、BLをVssにプリチャージにして、再度WL02を下げ、BS00を上げ、C301のデータを読み出す。この時、センスアンプ活性化まで十分時間を取り、センスアンプで増幅後、再書き込みを行い、この再書き込み時間も十分時間を取る。

【0502】次に/BL、BLをイコライズして、一時記憶レジスタのデータで、C301にデータの再書き込みを行う。次に/BL、BLをイコライズして、BS02を下げ、WL02を上げ、強誘電体キャパシタ間の電位を0Vにし、/BL、BLをVssにプリチャージして1サイクルを終了する。イコライズしてから、WL02を下げ、BS02を上げ、ビット線とセルを接続して、一時記憶レジスタのC300のデータをセルに再書き込みして、BS00を下げ、WL02を上げ、/BL、BLをVBLにプリチャージして1サイクルの動作が終了する。

【0503】(ケースB)は、C300のデータの読み出し後、 $\Phi t0$ を下げ、センスアンプを増幅するため、無駄な/BL、BLの再書き込みが起こらない。そして、/BL、BLのVBLへの引き下げの時、 $\Phi t0$ を上げる。

【0504】(ケースC)は、(ケースB)の場合で、しかもC301のデータ読み出し後、 $\Phi t0$ を下げる場合を示す。このケースでは、例えば一時記憶レジスタをC300、C301用に2種類備え、一時記憶レジスタにC300、C301の両方貯えた後、一時記憶レジスタ介して、C300、C301のデータを外部に読み出し、外部から一時記憶レジスタに書き込む場合の方式に適している。多量のデータを外部とやり取りする、High-Bnand FRAMの方式に適している。

【0505】(第97の実施形態)図140は、本発明の第97の実施形態を説明するための等価回路図(a)と断面図(b)である。

【0506】図136の等価回路、図137のデバイス構造が、フォールデッドBL構成であったのに対し、図140はオープンBL構成例を示す。

【0507】(第98の実施形態)図141は、本発明の第98の実施形態を説明するための等価回路図(a)と断面図(b)である。

【0508】図140に比べ、各ノードの電極の位置が、交換された格好となり、抵抗素子も、強誘電体キャパシタ上に形成され、しかも図140に比べ、抵抗素子と強誘電体キャパシタの直列の順序が逆になっている例

76

を示す。勿論この構成も、図136、図137のフォールデッドBL構成でも実現できる。

【0509】(第99の実施形態)図142は、本発明の第99の実施形態を説明するための等価回路図(a)と断面図(b)である。

【0510】図141に比べ、強誘電体キャパシタCbの両側に抵抗素子が接続されている。勿論この構成も、図136、図137のフォールデッド構成でも実現できる。

【0511】(第100の実施形態)図143は、本発明の第100の実施形態を説明するための等価回路図である。

【0512】1メモリセルトランジスタに対して、3個の強誘電体キャパシタ(Ca、Cb、Cc)を備えた場合を示し、抵抗素子RbをCcと直列接続、抵抗素子RaをCbと直列接続して、Ca、Cb、Ccの順で読み、Cc、Cb、Caの順で再書き込みを行う。

【0513】(第101の実施形態)図144は、本発明の第101の実施形態を説明するためのもので、図143のセル構成の等価回路を実現するセル構造の一例を示している。

【0514】これにより、4F<sup>2</sup>サイズで、バルクのセルトランジスタと、上部に3層の強誘電体キャパシタと2個の抵抗素子を積層して、3ビットのデータ保持を実現する。これは、フォールデッドBL構成例である。勿論オープンBL構成も容易に実現できるし、ビット線ルール2倍緩和型も実現できる。

【0515】(第102の実施形態)図145は、本発明の第102の実施形態を説明するための等価回路図である。

【0516】図143のセル構成の等価回路に比べ、一部、抵抗素子の挿入位置が異なって例を示す。なお、図には示していないが、図136～145の方式の各キャパシタを複数のキャパシタの並列接続とすると、図102～133の組み合わせになり、更に記憶容量が増大できる。

【0517】ところで、前述した全ての実施形態において言えることだが、従来の8F<sup>2</sup>の構成に比べ、相対的にワード線容量が大きくなる欠点がある。これは、本発明では、ワード線とビット線の交点全てにセルトランジスタが存在するため、ワード線、ブロック選択線のRC遅延の増加を意味する。但し、本発明では、DRAMのような階層ワード線方式を採用して、セルアレイをワード線方向に細分割して、アクティブ領域をできる限り小さくすることができる。即ち、サブワード線の長さを短くできる。これによりワード線遅延を小さくできる。

【0518】但し、従来の8F<sup>2</sup>セルにも階層ワード線方式を採用した場合は、本方式がワード線遅延の点で不利にはなる。従来の階層ワード線方式は、メインワード

線にメタル配線を用い、サブローデコーダにつなげ、サブローデコーダからサブセルアレイに、サブワード線としてゲート配線を用いて配設して、各メモリセルトランジスタのゲート電極を構成する。サブローデコーダ 4 個に 1 本、8 個に 1 本メインワード線を接続することにより、メインワード線のメタルピッチを従来のシャント (shunt) 方式の 4 ~ 8 倍に緩和でき、加工が困難なメタルルールの緩和、セル段差によるメタル加工の D O F の緩和を実現できる。

【0519】しかし、このような構成にしても、サブワード線はメタルではなく、ポリ Si, W Si, M Si, T i S i 等の高抵抗配線を用いるため、サブワード線につながるセル数を増加させると、RC 遅延が大きくなる点が問題となる。特に、前記本発明の実施形態ではこの RC 遅延が 2 倍程度になってしまう。

【0520】以下の実施形態では、このような問題をも解決している。

【0521】(第 103 の実施形態) 図 146 は、本発明の第 103 の実施形態に係わる F R A M の基本構成を示すブロック図であり、前記した全ての実施形態に適用できるものである。

【0522】本実施形態は前記 RC 遅延を  $1/4$  に低減でき、結果として本発明のワード線遅延を、従来の  $8 F_2$  の  $1/2$  ( $= 1/4 \times 2$ ) に低減できる。このような考えを従来 D R A M に適用した例を、本発明者らは既に提案している (特願平 7 - 8 7 2 1 1 号、特願平 7 - 1 0 8 6 9 1 号)。本実施形態はこれを、F R A M に適用したものである。

【0523】M・R/D はメインローデコーダ、S・R/D はサブローデコーダ、MWL はメインワード線を示しメタル配線である。従来の階層ワード線と異なる点は、従来サブワード線はゲート配線を直に引き伸ばしたのに対し、本実施形態はサブセルアレイの中央までメタル配線で行い、その部分でゲート配線とシャントしている点にある。このとき、サブワード線用メタルは、サブアレイの両側から配設してもクロスすることがない。メタル抵抗はゲート配線抵抗に比べ非常に抵抗が小さいため、結果として、サブセルアレイ内のサブワード線の RC 遅延は、R が半分、C が半分のため  $1/4$  に低減できるわけである。

【0524】本発明の強誘電体メモリに適用すると、R が半分で、C がほぼ同じであるため、RC 遅延が  $1/2$  に適用できる。図 146 の例では、MWL 1 本に対して、サブワード線 4 本のため、サブワード線 4 本に対して、MWL 1 本、サブワード線用メタル配線 2 本の計 3 本となり、図 146 右下の断面図に示すようにメタルの配線ルールはシャント方式の  $4/3$  倍に緩和できる。

【0525】(第 104 の実施形態) 図 147 は、本発明の第 104 の実施形態に係わる F R A M の基本構成を示すブロック図であり、前記した全ての実施形態に適用

できるものである。

【0526】これは、図 146 に比べ、RC 遅延を小さく保ちつつ、メタルピッチをさらに緩和している。MWL 1 本に対して、サブワード線 8 本のため、サブワード線 8 本に対して、MWL 1 本、サブワード線用 M e t a l 配線 4 本の計 5 本となり、図 147 右下の断面図に示すようにメタルの配線ルールはシャント方式の  $8/5$  倍に緩和できる。

【0527】(第 105 の実施形態) 図 148 は、本発明の第 105 の実施形態に係わる F R A M の基本構成を示すブロック図であり、前記した全ての実施形態に適用できるものである。

【0528】前記図 146 の例では、RC 遅延を小さく保ちつつメタルピッチを緩和している反面、サブワード線シャント領域において、ゲート配線はピッチ (2F) ぎりぎりに配設され、この上にメタルからシャント用コンタクトを取る必要があり、基本的にコンタクトサイズは F、コンタクトに対するゲート配線の地下余裕が 0 である問題点があった。

【0529】図 148 はこの問題を解決している。図 148 (a) に示すように、サブワード線は 2 本に 1 本の割合で異なる接続をする。1 本は、メタル配線とサブローデコーダの駆動回路そばでシャントし、さらにサブアレイ中央で、一端ビット線配線に切り替えて、サブローデコーダから遠い方のゲート配線とシャントする。こうすると、ゲート配線をサブアレイ中央で分断することができ、残り 1 本はサブワード線用メタル配線をサブアレイ中央まで引き伸ばし、そこでゲート配線に余裕ができた場所で、ゲート配線にシャントする。図 148 (b) のケースは、前記 2 種類の位置を交換した場合を示す。

【0530】(第 106 の実施形態) 図 149 は本発明の第 106 の実施形態を説明するためのもので、図 148 (a) (b) の構成を取った場合のサブセルアレイ中央部分でのレイアウト配置例の 2 つを示す。

【0531】図 149 (a) は図 148 (a) に対応し、図 149 (b) は図 148 (b) に対応する。図 149 はメタル、ゲート、ビット線、メタル-ビット線間コンタクト、ビット線-ゲート間コンタクトを示す。

【0532】本実施形態では、ゲート配線-コンタクト余裕、コンタクトサイズが大きくとれているばかりでなく、その他の配線、コンタクトサイズ、コンタクトサイズ余裕があることが分かる。

【0533】図 150 (a) (b) は、図 149 (a) (b) の内のゲート、ビット線-ゲート間コンタクトのみを示す。図 151 (a) (b) は、図 149 (a) (b) の内のゲート、ビット線、ビット線-ゲート間コンタクトのみを示す。図 152 (a) (b) は、図 149 (a) (b) の内のメタル、ビット線、メタル-ビット線間コンタクトのみを示す。

【0534】(第 107 の実施形態) 図 153 は、本発



明の第107の実施形態を説明するためのもので、サブルーデコーダ回路の一例を示すCMOS回路を示している。本実施形態も、前記の全ての実施形態に適用できる。

【0535】例えば、BS00を上げる場合、MBSを下げてBS00を上げ、/BS00を下げれば良いし、WL01を下げる場合、MWL0を上げ、/WSL00を下げ、WSL00を上げれば良い。

【0536】(第108の実施形態)図154は、本発明の第108の実施形態を説明するためのもので、セルアレイ配置及びスベアセルアレイ配置の一例を示している。本実施形態も、前記全ての実施形態に適用できる。

【0537】本発明のもう1つの欠点は、従来の完全に1Tr+1Capで構成される方式に比べ、1つのセルブロックの構成が大きく、例えばスベアセルブロックをセルアレイ毎に入れた場合、大きな面積ペナルティとなる。図154はこの問題を解決する。この図では、スベアブロックを含むスベアセルアレイを、行、列共、1つの大きな、或いは1チップのセルアレイ群端にまとめて配設されており、大きな単位で、スベアセルの置き換えを行う。これにより、スベアセルアレイの単位を自由に設定できつつ、救済効率が上げられる。

【0538】(第109の実施形態)図155は、本発明の第109の実施形態を説明するためのもので、チップ内部のリダンダンシー・スベア回路を含むブロック図である。

【0539】ロウ、カラム不良に対して、各々ロウスベアメモリとカラムスベアメモリを有しており、ロウアドレス及びカラムアドレスがこのロウスベアメモリ及びカラムスベアメモリに各々入り、スベアメモリと比較される。そして、リダンダンシーと置き換えが無いアドレスの場合、このスベアメモリから通常のロウデコーダ及びカラムデコーダにイネーブル信号が発信される。

【0540】リダンダンシーの置き換えがある場合、このスベアメモリから通常のロウデコーダ及びカラムデコーダにはディスイネーブル信号が発信され、通常のロウデコーダ及びカラムデコーダは動作せず、スベアロウデコーダ及びスベアカラムデコーダにイネーブル信号及び、マッピングされたスベアロウとスベアカラムが選択される。このスベアメモリは、従来のように、ヒューズを用いたメモリでも良いし、強誘電体キャパシタを用いたメモリであっても良い。

【0541】(第110の実施形態)図156は、本発明の第110の実施形態における不良メモリセルのリペア方法を示す図である。

【0542】図155の回路を用いると、図154で説明したように、図156に示すようなセルブロックそのまま置き換えが実現できる。この場合、スベアのマッピングはセルブロック以上の上位アドレスで指定でき、救済効率は下がるがスベアメモリ容量が小さくて済む。こ

の置き換えは、複数のセルにまたがる不良や、WL-セルノード間のショートのようなDC不良に対して対応可能である。

【0543】(第111の実施形態)図157は、本発明の第111の実施形態における不良メモリセルのリペア方法を示す図である。

【0544】これは、図155のブロック構成で実現できる。例えば、通常セルのWL03につながる強誘電体キャパシタ破壊のような不良に対しては、そのWL03を常にHighにしたままでセルトランジスタをショートさせておけば、同じセルブロック内の他のセルデータの読み出し、書き込みには影響しなく、WL03選択時のみ、スベアの同じワード線であるSWL03を選択すれば、置き換えが可能となる。この場合、スベアメモリとしては、置き換えを行う選択ブロックのアドレスさえ、スベアのSWL03に対応するスベアメモリに記憶しておくだけで良い。

【0545】(第112の実施形態)図158は、本発明の第112の実施形態における不良メモリセルのリペア方法を示す図である。

【0546】これは、図155のブロック構成で実現できる。複数のワード線を組みにして、例えば通常セルのWL03、WL02にまたがる、或いはWL03単独、WL02単独の強誘電体キャパシタ破壊のような不良に対しては、そのままスベアの同じワード線群(SWL03、SWL02)と置き換える。この場合、スベアメモリとしては、置き換えを行う選択ブロックのアドレスさえ、スベアのSWL群に対応するスベアメモリに記憶しておくだけで良い。図157に比べて、群でまとめた分、スベアメモリ数を低減できる。

【0547】(第113の実施形態)図159は、本発明の第113の実施形態における不良メモリセルのリペア方法を示す図である。

【0548】これは、図155のブロック構成で実現できる。複数のワード線を組みにして、例えば通常セルのWL05、WL04にまたがる、或いはWL05単独、WL04単独の強誘電体キャパシタ破壊のような不良に対しては、スベアの任意のワード線群(例えばSWL03、SWL02)と置き換える。この場合、スベアメモリとしては、置き換えを行う選択ブロックのアドレス及び、セルブロック内の群を示すアドレスをスベアのSWL群に対応するスベアメモリに記憶しておくだけで良い。図157～図158に比べて、スベアメモリ数が増加するが、その分、異なるセルブロックで、セルブロック内の同じ群の位置のセルが多数不良しても、救済できる等、救済効率は大幅に高まる。

【0549】なお、当然、図156～図159で示したスベアアレイは、通常セルと同じセルアレイ内にあっても良いし、救済効率を上げるために、別セルアレイでまとめておいても良い。

81

【0550】(第114の実施形態)図160は、本発明の第114の実施形態を説明するためのもので、セル構造を示す断面図である。

【0551】前述の構成では、セルサイズ $4F^2$ に対して、キャパシタサイズも $4F^2$ になり、平面構成換算では、強誘電体キャパシタ面積の低下が否めなかった。図160のセル構造では、強誘電体キャパシタ面積を $3F^2$ とでき、従来 $8F^2$ セルと同等、又はそれ以上も面積が稼げる。前記の図61、図62の構成でも稼げるが、強誘電体キャパシタ3段重ねになり、本実施形態の2段重ねの方が作りやすい。前記図53の多段重ねでも容量が稼げるが、強誘電体キャパシタを細切れにする必要がある。

【0552】図160の例では、1つの強誘電体キャパシタを分断することなく形成でき、製造が容易となる。図161の変形例は、ビット線を強誘電体キャパシタより先に形成した場合を示す。

【0553】図160、図161の等価回路を図162に示す。これは、今までの構成と異なる。フォールドBL構成のために、ブロック選択トランジスタは2個直列となる。動作としては、一部ランダムアクセス性がなくなる。例えば、WL3、WL4を選択する場合、WL4を選んでセルデータを読み出し、これを一時記憶レジスタに記憶する。このとき、WL5のセルはショートしており、セルデータは破壊されない。次に、WL5を選択して、WL5のセル情報の読み出し、書き込み動作をする。最後にWL4を選択して、一時記憶レジスタの情報をWL4のセルに書き込む。

【0554】同様に、WL0~1、WL2~3、WL6~7選択時は、WL0、WL3、WL7から読み出せば、任意のセルデータの読み書きができる。この2ビット単位の動作例を図163に示す。PLは $(1/2)V_{cc}$ 固定でも、 $V_{ss} \sim V_{cc}$ 駆動でもどちらでも選択できる。

【0555】(第115の実施形態)図164は、本発明の第115の実施形態に係わるFRAMのセル構成を示す平面図である。強誘電体キャパシタとセルトランジスタの並列接続を1セルとして、これを直列接続してメモリセルブロックを構成すると言う等価回路は同じであるが、セル構造が異なる4種類のセルのレイアウト図((a)~(d))を示している。

【0556】これらは、今まで述べた $4F^2$ サイズより大きい、低コスト、1MビットFRAM~16MビットFRAM等の低集積FRAMに適用できる。セルサイズは大きい、もちろん本発明の特徴である、 $(1/2)V_{dd}$ 固定プレートで高速動作可能でしかもリフレッシュ不要等の特徴は保持される。

【0557】図164は、ワード線層、ビット線層、拡散層、拡散層-ビット線層間コンタクト、ビット線層-メタル層間コンタクト、ビット線層-下部電極間コンタ

82

クト、メタル層-上部電極間コンタクト、メタル層-下部電極間コンタクト、上部ビット線層を示している。

【0558】図165はこの内、ワード線層、ビット線層、拡散層、拡散層-ビット線層間コンタクトのみを示している。さらに、図166はビット線層-メタル層間コンタクト、ビット線層-下部電極間コンタクト、メタル層-上部電極間コンタクト、メタル層-下部電極間コンタクト、上部ビット線層のみを示している。

【0559】図164(a)においては、強誘電体キャパシタの位置とセルトランジスタの位置がワード線方向に半ピッチずれて配置され、強誘電体キャパシタの下にビット線としてのビット線層が配設されている。セルトランジスタのソース或いはドレインの拡散層のノードは、一度、拡散層-ビット線層間コンタクトを介して、ビット線層(ビット線と同じ層であるがビット線ではない)に上げられ、その上で、ビット線層-メタル層間コンタクトを介してメタル層につながる。メタル層は、ワード線方向に引き伸ばされ、メタル-上部電極間コンタクト、メタル-下部電極間コンタクトを介して、上部電極及び下部電極に接続される。

【0560】図167の(a)は、図164(a)のセルをワード線方向から見たイメージ図を示し、図167(a)のA-A'での断面図を図167(b)に、B-B'での断面図を図167(c)に示す。図167(b)は拡散層のノードから下部電極への接続を示し、図167(c)は拡散層のノードから上部電極への接続を示す。図167(d)に示すように、図167(b)と異なり、ビット線層を介して直接拡散層とメタル層を接続しても良い。

【0561】図164(a)のセル構造における特徴は、拡散層からSiプラグ、Ti、Tin等を介して、その上に直接下部電極を形成する必要が無く、下部電極形成後に、上からメタル等で電極ノードを接続している点である。これにより、Siプラグの平坦化の問題や、熱処理による下部電極PtとSiが反応してシリサイドが形成される問題や、強誘電体キャパシタ膜形成時にTiが酸化して、SiプラグとTi、Tin等の間に酸化膜が形成する等の問題を回避することができる。また、ビット線がセルで覆われるため、ビット線間容量によるビット線間カップリングノイズを低減できる。

【0562】図164(b)のセルは、強誘電体キャパシタの下にセルトランジスタが配設され、ビット線はこれらの間にワード線方向に半ピッチずれて配設されている。図164(b)の断面方向のイメージ図を図168に示す。セルトランジスタのソース又はドレインのノードから、ビット線層を介して、或いは直接メタル層に接続され、メタル層は、ビット線方向に引き伸ばされ上から強誘電体キャパシタの上部電極又は下部電極にコンタクトが取られる。

【0563】図164(c)のセルは、前記図4とほぼ

83

同じで、強誘電体キャパシタとセルトランジスタが上下に配置され、それらに半ピッチずれて、強誘電体キャパシタより下にビット線を配設している例である。図4と異なる点は、拡散層から電極への接続を、ビット線と同じ配線層（ビット線層）を介している点と、強誘電体キャパシタサイズが大きめに設定されている点である。ビット線層を介することにより、コンタクトの深さを低減している。

【0564】図164(d)のセルは、前記図3とほぼ同じで、強誘電体キャパシタとセルトランジスタが上下に配置され、その上にビット線（上部ビット線層）を配設している例である。図3と異なる点は、拡散層から電極への接続を、一度ビット線層を介している点と、強誘電体キャパシタサイズが大きめに設定されている点である。ビット線層を介することにより、コンタクトの深さを低減している。このように、強誘電体キャパシタサイズを大きくすると、ビット線容量が増えるが、元々本発明はビット線容量が小さいため、これらは殆ど問題とならない。

【0565】（第116の実施形態）図169は、本発明の第116の実施形態に係わるFRAMのセル構成を示す平面図である。

【0566】図169は図164と同様に、ワード線層、ビット線層、拡散層、拡散層-ビット線層間コンタクト、ビット線層-メタル層間コンタクト、ビット線層-下部電極間コンタクト、メタル層-上部電極間コンタクト、メタル層-下部電極間コンタクト、上部ビット線層を示している。図170はこの内、ワード線層、ビット線層、拡散層、拡散層-ビット線層間コンタクトのみを示している。さらに、図171はビット線層-メタル層間コンタクト、ビット線層-下部電極間コンタクト、メタル層-上部電極間コンタクト、メタル層-下部電極間コンタクト、上部ビット線層のみを示している。

【0567】図164～図171のセルの長所として、PL駆動方式でも高速動作が可能である点である。これは、PL部の電極もメタル層で上からコンタクトを取れるため、PLのRC遅延を小さく抑えることができるからである。従来セルでは、上部電極とSNとをメタルで接続すると、PL側の下部電極はメタルとアレイ内は接続できないためPLが大きい。

【0568】（第117の実施形態）図172は、本発明の第117の実施形態に係わるメモリセル構造の例を示す等価回路図と断面図である。

【0569】この実施形態では、前記図55(a)の改良であり、下部電極の表面をテーパ状に形成し、隣接する下部電極間に断面V字型の上部電極を配置している。即ち、全てのセルノードにおいて下部電極形成後に強誘電体膜を形成し、その後に隣接セルノード同士を上部電極で接続している。

【0570】この場合も、図172(a)に示すよう

84

に、等価回路的に2つの強誘電体キャパシタを直列接続した型になり、セル容量が半減するが、上部電極は強誘電体膜のみに接続すればよく、作り易い利点がある。特にこの構造は、MOCVD法で作ると作りやすいものである。

【0571】なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0572】

【発明の効果】以上詳述したように本発明によれば、トランジスタと強誘電体キャパシタを並列接続してFRAMのメモリセルを構成することにより、縦型トランジスタ等を用いることなく8F<sup>2</sup>サイズより小さい（例えば4F<sup>2</sup>）サイズのメモリセルを実現することができ、かつランダムアクセス機能も保つことができる。

【0573】また、(1/2)V<sub>cc</sub>固定プレート方式でありながら、DRAMと同等の高速化を保ちつつ、リフレッシュ動作を不要とすることができる。

【0574】更にビット線容量の低減が可能で、変更例により、ノイズの低減、ビット線ルール、センスアンプのルールの緩和、センスアンプ数の低減、読み出し信号量の増大、4F<sup>2</sup>サイズで、多数ビットデータの記憶等が可能となる。

【0575】また、本発明の強誘電体メモリはリフレッシュが不要で高速動作が可能であるため、低消費電力で高速用途用のシステムや、高温動作が必要で高速用途用のシステムに適用でき、さらに高密度化が必要で応力環境が厳しいシステムや大容量のメモリが必要なシステムに適用することが可能である。

【図面の簡単な説明】

【図1】第1の実施形態に係わるFRAMを搭載したコンピュータシステムを示すブロック図。

【図2】第1の実施形態に係わるFRAMの基本構成を示す等価回路図。

【図3】図1の回路構成を実現するためのセル構成を示す平面図と断面図。

【図4】図1の回路構成を実現するためのセル構成を示す平面図と断面図。

【図5】第2の実施形態のコンピュータシステムを示すブロック図。

【図6】第3の実施形態のコンピュータシステムを示すブロック図。

【図7】第4の実施形態のコンピュータシステムを示すブロック図。

【図8】第5の実施形態のコンピュータシステムを示すブロック図。

【図9】第6の実施形態のコンピュータシステムを示すブロック図。

【図10】第7の実施形態に係わるFRAMを搭載したICカードを示す模式図。

85

【図11】第8の実施形態に係わるFRAMを搭載したデジタル画像取り込みシステムを示すブロック図。

【図12】第9の実施形態に係わるFRAMを搭載したメモリシステムを示すブロック図。

【図13】第10の実施形態に係わるメモリシステムを示すブロック図。

【図14】第11の実施形態に係わるメモリシステムを示すブロック図。

【図15】第12の実施形態に係わるFRAMを搭載したMPUチップを示す模式図。

【図16】第13の実施形態に係わるFRAMを搭載したMPUチップを示す模式図。

【図17】第14の実施形態に係わるFRAMを搭載したMPUチップを示す模式図。

【図18】第15の実施形態に係わるFRAMを搭載したシステムLSIチップを示すブロック図。

【図19】第16の実施形態に係わるFRAMを搭載した画像処理LSIチップを示すブロック図。

【図20】第17の実施形態に係わるFRAMを搭載したロジック可変LSIチップを示すブロック図。

【図21】第18の実施形態に係わるFRAMを搭載した形態コンピュータシステムを示すブロック図。

【図22】第19の実施形態に係わるFRAMの基本構成を示す等価回路図。

【図23】第20の実施形態に係わるFRAMの基本構成を示す等価回路図。

【図24】図23の回路構成を実現するためのセル構成を示す平面図と断面図。

【図25】図23の回路構成を実現するためのセル構成を示す平面図と断面図。

【図26】図23の回路構成を実現するためのメモリセル部構成の別の例を示す図。

【図27】図23の回路構成を実現するためのメモリセル部構成の別の例を示す図。

【図28】第21の実施形態に係わるFRAMの概略構成を示すブロック図。

【図29】図2の回路においてフォールデットBL構成を実現した例を示す図。

【図30】第22の実施形態に係わるFRAMの概略構成を示すブロック図。

【図31】各実施形態における動作例を説明するための信号波形図。

【図32】各実施形態における動作例を説明するための信号波形図。

【図33】各実施形態における動作例を説明するための信号波形図。

【図34】本発明の主な効果をまとめて示す図。

【図35】本発明の主な効果をまとめて示す図。

【図36】第23の実施形態に係わるFRAMを説明するためのセンスアンプ部の構成を示す回路図。

86

【図37】第23の実施形態における動作を説明するための信号波形図。

【図38】第24の実施形態に係わるFRAMを説明するためのセンスアンプ部の構成を示す回路図。

【図39】第24の実施形態における動作を説明するための信号波形図。

【図40】第25の実施形態に係わるFRAMを説明するためのセンスアンプ部の構成を示す回路図。

【図41】第25の実施形態における動作を説明するための信号波形図。

【図42】図40のダミーセルブロックの別の構成例を示す。

【図43】第25の実施形態におけるセル直列数と読み出し信号値との関係を示す図。

【図44】第26の実施形態を示すダミーセルを含むセルアレイ等価回路を示す図。

【図45】図44の等価回路を実現するレイアウトの例を示す図。

【図46】第27の実施形態に係わるFRAMを説明するためのセンスアンプ部の構成を示す回路図。

【図47】第28の実施形態を説明するための信号波形図。

【図48】第29の実施形態を説明するための信号波形図。

【図49】第30の実施形態に係わるFRAMの基本構成を示す等価回路図。

【図50】第31の実施形態に係わるFRAMの基本構成を示す等価回路図。

【図51】第30及び第31の実施形態における動作を説明するための信号波形図。

【図52】第32の実施形態を説明するためのもので、各種メモリ構造の例を示す図。

【図53】第32の実施形態を説明するためのもので、各種メモリ構造の例を示す図。

【図54】第32の実施形態を説明するためのもので、各種メモリ構造の例を示す図。

【図55】第32の実施形態を説明するためのもので、各種メモリ構造の例を示す図。

【図56】第33の実施形態に係わるFRAMのデバイス構造を示す図。

【図57】第34の実施形態に係わるFRAMのデバイス構造を示す図。

【図58】第35の実施形態に係わるFRAMのデバイス構造を示す図。

【図59】第35の実施形態に係わるFRAMの変形例を示す図。

【図60】第36の実施形態に係わるFRAMのデバイス構造を示す図。

【図61】第37の実施形態に係わるFRAMのデバイス構成を示す図。

【図 6 2】第 3 7 の実施形態の変形例を示す図。

【図 6 3】第 3 8 の実施形態に係わる FRAM の等価回路を示す図。

【図 6 4】第 3 9 の実施形態に係わる FRAM の等価回路を示す図。

【図 6 5】第 4 0 の実施形態に係わる FRAM の等価回路を示す図。

【図 6 6】第 4 1 の実施形態に係わる FRAM の等価回路を示す図。

【図 6 7】第 4 2 の実施形態に係わる FRAM の等価回路を示す図。

【図 6 8】図 6 7 の実施形態のダミーセルを複数直列接続した場合を示す図。

【図 6 9】図 6 5 の実施形態に接続できるダミーセルを複数直列接続した例を示す図。

【図 7 0】第 4 3 の実施形態に係わる FRAM の等価回路を示す図。

【図 7 1】第 4 4 の実施形態に係わる FRAM の等価回路を示す図。

【図 7 2】第 4 5 の実施形態に係わる FRAM の等価回路を示す図。

【図 7 3】第 4 6 の実施形態に係わる FRAM の等価回路を示す図。

【図 7 4】第 4 7 の実施形態に係わる FRAM の等価回路を示す図。

【図 7 5】第 4 8 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 7 6】第 4 9 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 7 7】第 5 0 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 7 8】第 5 1 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 7 9】本発明の FRAM のビット線容量、読み出し遅延のセル直列数依存性を示す図。

【図 8 0】本発明の FRAM の読み書き時のノイズのセル直列数依存性、書き込み速度依存性を示す図。

【図 8 1】本発明の FRAM のセルサイズ、チップサイズのセル直列数依存性を示す図。

【図 8 2】第 5 2 の実施形態に係わる FRAM の等価回路を示す図。

【図 8 3】第 5 3 の実施形態に係わる FRAM の等価回路を示す図。

【図 8 4】第 5 4 の実施形態に係わる FRAM の動作例を示す図。

【図 8 5】第 5 5 の実施形態に係わる FRAM の等価回路を示す図。

【図 8 6】第 5 6 の実施形態に係わる FRAM の動作例を示す図。

【図 8 7】第 5 7 の実施形態に係わる FRAM の等価回路を示す図。

路を示す図。

【図 8 8】第 5 8 の実施形態に係わる FRAM の等価回路を示す図。

【図 8 9】第 5 9 の実施形態に係わる FRAM の等価回路を示す図。

【図 9 0】第 6 0 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 9 1】第 6 1 の実施形態に係わる FRAM の等価回路を示す図。

【図 9 2】第 6 2 の実施形態に係わる FRAM の等価回路を示す図。

【図 9 3】第 6 3 の実施形態に係わる FRAM のセンスアンプ回路図を示す図。

【図 9 4】第 6 3 の実施形態に係わる FRAM の動作例を示す図。

【図 9 5】第 6 4 の実施形態に係わる FRAM のセンスアンプ回路図を示す図。

【図 9 6】第 6 4 の実施形態に係わる FRAM の動作例を示す図。

【図 9 7】第 6 5 の実施形態に係わる FRAM のセンスアンプ回路図を示す図。

【図 9 8】第 6 5 の実施形態に係わる FRAM の動作例を示す図。

【図 9 9】第 6 6 の実施形態に係わる FRAM のセンスアンプ回路図を示す図。

【図 10 0】第 6 6 の実施形態に係わる FRAM の動作例を示す図。

【図 10 1】第 6 7 の実施形態に係わる FRAM のセンスアンプ回路を示す図。

【図 10 2】第 6 8 の実施形態に係わる FRAM の等価回路を示す図。

【図 10 3】第 6 9 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 10 4】第 7 0 の実施形態に係わる FRAM の動作点を表わすヒステリスループ例を示す図。

【図 10 5】第 7 0 の実施形態に係わる FRAM の動作点を表わすヒステリスループの詳細を示す図。

【図 10 6】第 7 1 の実施形態に係わる FRAM の等価回路を示す図。

【図 10 7】第 7 2 の実施形態に係わる FRAM の等価回路を示す図。

【図 10 8】図 10 7 の実施形態のダミーセルを複数直列接続した場合を示す図。

【図 10 9】第 7 3 の実施形態に係わる FRAM のセンスアンプ回路を示す図。

【図 11 0】第 7 4 の実施形態に係わる FRAM の動作例を示す図。

【図 11 1】第 7 5 の実施形態に係わる FRAM の動作例を示す図。

【図 11 2】第 7 6 の実施形態に係わる FRAM のセン

スアンプ回路を示す図。

【図 1 1 3】第 7 7 の実施形態に係わる FRAM の動作例を示す図。

【図 1 1 4】第 7 8 の実施形態に係わる FRAM のセンサアンプ回路を示す図。

【図 1 1 5】第 7 9 の実施形態に係わる FRAM のセンサアンプ回路を示す図。

【図 1 1 6】第 8 0 の実施形態に係わる FRAM のセンサアンプ回路を示す図。

【図 1 1 7】第 8 1 の実施形態に係わる FRAM のセンサアンプ回路図を示す図。

【図 1 1 8】図 1 0 2 ~ 1 0 7 のセルに適用できるプレート電極駆動方式を示す図。

【図 1 1 9】図 1 0 2 ~ 1 0 7 のセルに適用できるプレート電極駆動方式の別の例を示す図。

【図 1 2 0】図 1 1 9 (a) のプレート電極駆動方式の詳細回路例を示す図。

【図 1 2 1】図 1 1 9 (b) のプレート電極駆動方式の詳細回路例を示す図。

【図 1 2 2】図 1 1 9 ~ 1 2 1 のプレート電極駆動方式に適用できる動作例を示す図。

【図 1 2 3】図 1 1 9 ~ 1 2 1 のプレート電極駆動方式に適用できるセンサアンプ回路例を示す図。

【図 1 2 4】図 1 1 9 ~ 1 2 1 のプレート電極駆動方式に適用できる動作例を示す図。

【図 1 2 5】第 8 2 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 2 6】第 8 3 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 2 7】第 8 4 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 2 8】第 8 5 の実施形態に係わる FRAM の等価回路とデバイス構造を示す図。

【図 1 2 9】第 8 6 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 0】第 8 7 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 3 1】第 8 8 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 2】第 8 9 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 3 3】第 9 0 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 4】第 9 1 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 5】第 9 2 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 3 6】第 9 3 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 7】第 9 4 の実施形態に係わる FRAM のデバ

イス構造を示す図。

【図 1 3 8】第 9 5 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 3 9】第 9 6 の実施形態に係わる FRAM の動作例を示す図。

【図 1 4 0】第 9 7 の実施形態に係わる FRAM の等価回路とデバイス構造を示す図。

【図 1 4 1】第 9 8 の実施形態に係わる FRAM の等価回路とデバイス構造を示す図。

【図 1 4 2】第 9 9 の実施形態に係わる FRAM の等価回路とデバイス構造を示す図。

【図 1 4 3】第 1 0 0 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 4 4】第 1 0 1 の実施形態に係わる FRAM のデバイス構造を示す図。

【図 1 4 5】第 1 0 2 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 4 6】第 1 0 3 の実施形態に係わる FRAM のワード線方式を示す図。

【図 1 4 7】第 1 0 4 の実施形態に係わる FRAM のワード線方式を示す図。

【図 1 4 8】第 1 0 5 の実施形態に係わる FRAM のワード線方式の接続を示す図。

【図 1 4 9】第 1 0 6 の実施形態に係わる FRAM のワード線方式のサブアレイ中央部のレイアウトを示す図。

【図 1 5 0】第 1 0 6 の実施形態に係わる FRAM のワード線方式のサブアレイ中央部のレイアウトの一部を示す図。

【図 1 5 1】第 1 0 6 の実施形態に係わる FRAM のワード線方式のサブアレイ中央部のレイアウトの一部を示す図。

【図 1 5 2】第 1 0 6 の実施形態に係わる FRAM のワード線方式のサブアレイ中央部のレイアウトの一部を示す図。

【図 1 5 3】第 1 0 7 の実施形態に係わる FRAM のワード線方式のサブローデコーダの回路例を示す図。

【図 1 5 4】第 1 0 8 の実施形態に係わる FRAM のスベアアレイを含むセルアレイのブロックを示す図。

【図 1 5 5】第 1 0 9 の実施形態に係わる FRAM のリダンダンシー・スベア回路を含むセルアレイのブロック図。

【図 1 5 6】第 1 1 0 の実施形態に係わる FRAM の等価回路を示す図。

【図 1 5 7】第 1 1 1 の実施形態に係わる FRAM の不良メモリセルの置き換え方法を説明するための図。

【図 1 5 8】第 1 1 2 の実施形態に係わる FRAM の不良メモリセルの置き換え方法を説明するための図。

【図 1 5 9】第 1 1 3 の実施形態に係わる FRAM の不良メモリセルの置き換え方法を説明するための図。

【図 1 6 0】第 1 1 4 の実施形態に係わる FRAM のデ

バイス構造を示す図。

【図161】第114の実施形態に係わるFRAMのデバイス構造の別の例を示す図。

【図162】第114の実施形態に係わるFRAMの等価回路を示す図。

【図163】第114の実施形態に係わるFRAMの動作例を示す図。

【図164】第115の実施形態に係わるFRAMのメモリセルの平面図。

【図165】図164のメモリセルの平面図の一部のレイアウトを示す図。

【図166】図164のメモリセルの平面図の一部のレイアウトを示す図。

【図167】図164(a)のメモリセルの断面方向のイメージを示す図。

【図168】図164(b)のメモリセルの断面方向のイメージを示す図。

【図169】第116の実施形態に係わるFRAMのメモリセルの平面図。

【図170】図169のメモリセルの平面図の一部のレイアウトを示す図。

【図171】図169のメモリセルの平面図の一部のレイアウトを示す図。

【図172】第117の実施形態に係わるメモリセル構造を示す等価回路図と断面図。

【図173】従来のDRAMとFRAMのメモリセル構成を示す図。

【図174】DRAMとFRAMにおける印加電圧に対する分極特性を示す図。

【図175】従来のFRAMの動作を説明するための信号波形図。

【符号の説明】

- 11…マイクロプロセッサ
- 12…FRAM
- 13…入出力装置
- 14…BUS
- 15…コントローラ
- 16…RAM
- 17…ROM
- 20…ICカード本体
- 21…FRAM
- 22…ICチップ
- 31…画像入力装置
- 32…データ圧縮装置

33…FRAM

34…入出力装置

35…表示装置

36…BUS

41…入出力装置

42…コントローラ

43…FRAM

51…マイクロプロセッサコア

52…FRAM

53…1次キャッシュメモリ

61…ロジック部

62…FRAM

71…画像処理部

72…FRAM

81…ロジック部

82…FRAM

91…MPU及びコントローラ

92…入力機器

93…送受信器

94…アンテナ

95…表示機器

96 FRAM

/BL, BL…ビット線

PL…プレート電極

WL…ワード線

SN…セルノード

BS…ブロック選択線

SA…センスアンプ

$\phi t$ …セルアレイセンスアンプ分離信号

VPS…ビット線0Vプリチャージ信号

EQL…ビット線イコライズ信号

DWL…ダミーワード線

/SAN…nMOSセンスアンプ駆動線

SAP…pMOSセンスアンプ駆動線

C…カップリング容量

VBL…ビット線プリチャージ信号

PL'…ダミーセル用プレート信号

DBS…ダミーセル用ブロック選択線

DN…ダミーセル用セルノード

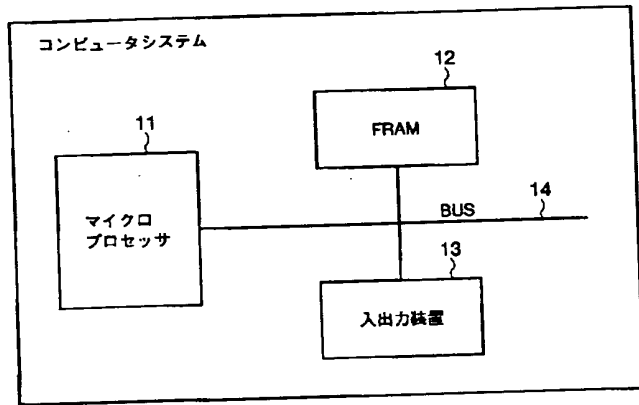
40 F…最小加工寸法

Ps…飽和分極 (Saturation Polarization)

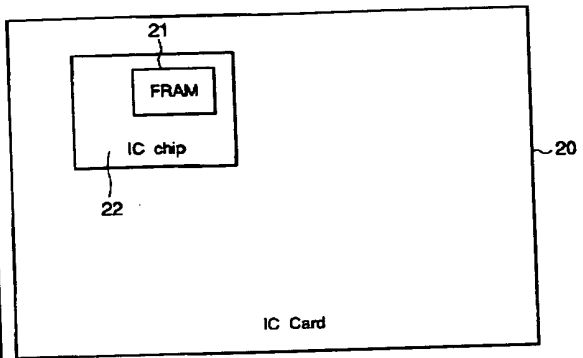
Pr…残留分極 (Remnant Polarization)

Vc…抗電圧 (Coercive Voltage)

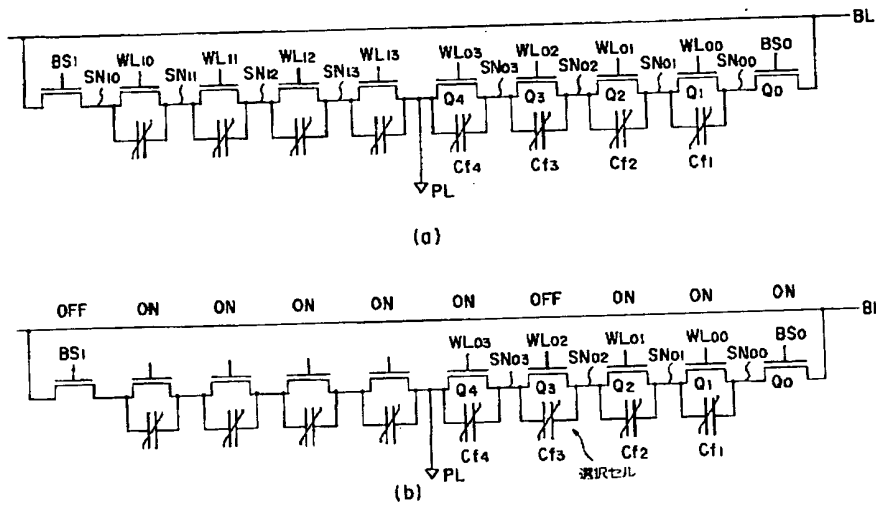
【図1】



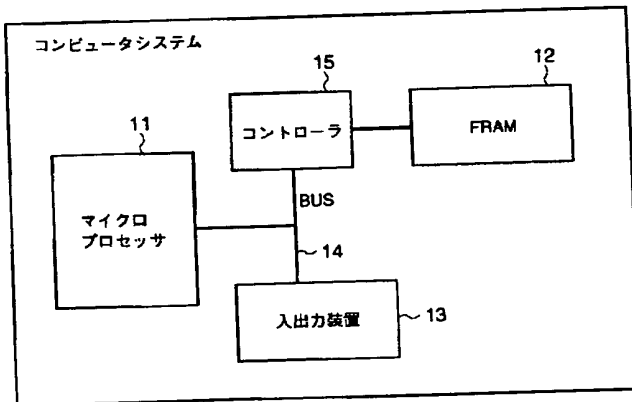
【図10】



【図2】

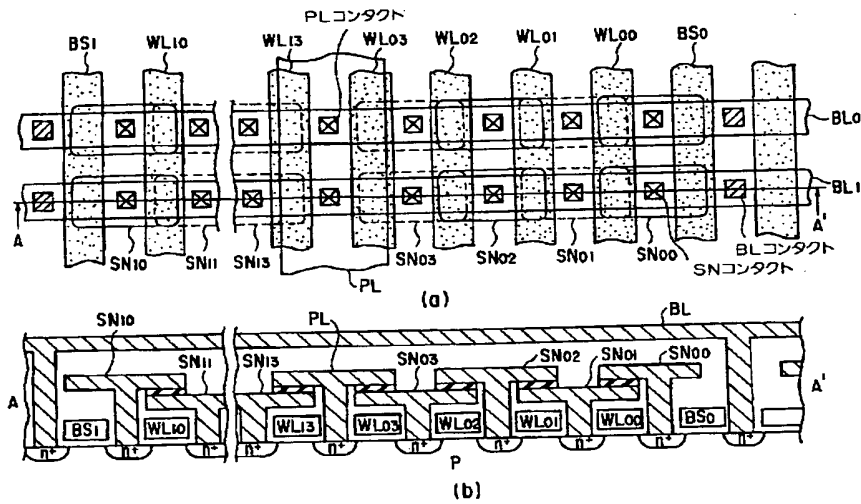


【図5】

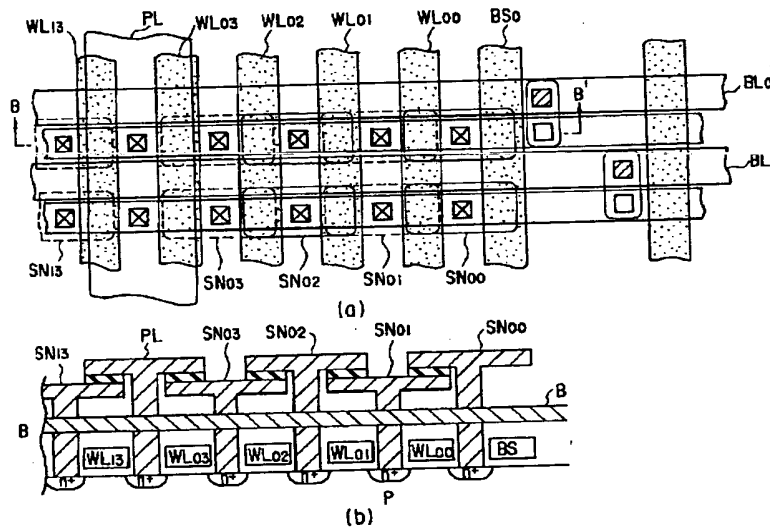




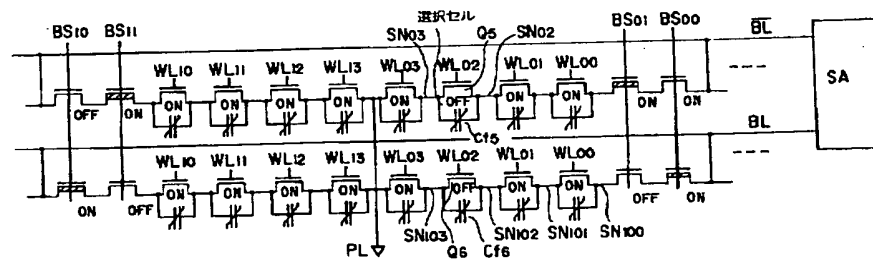
【図3】



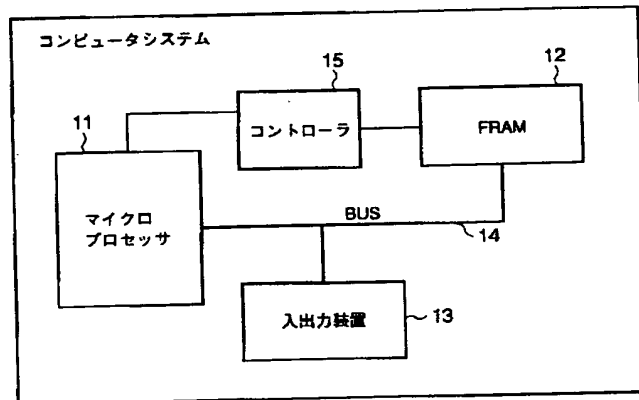
【図4】



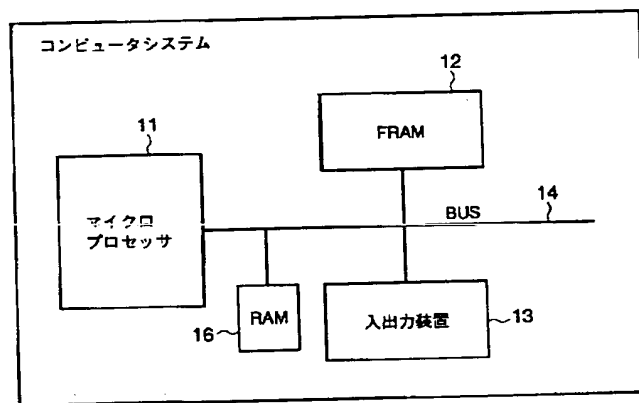
【図23】



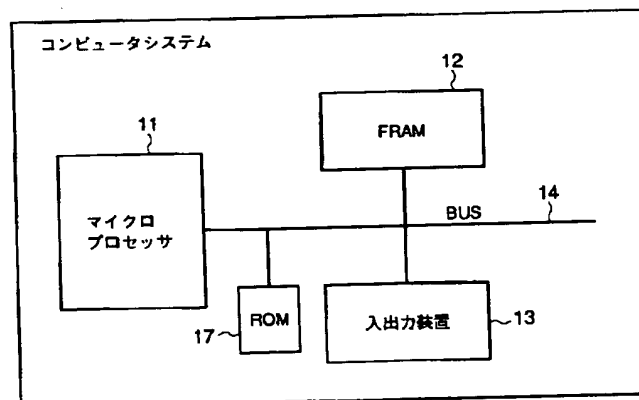
【図 6】



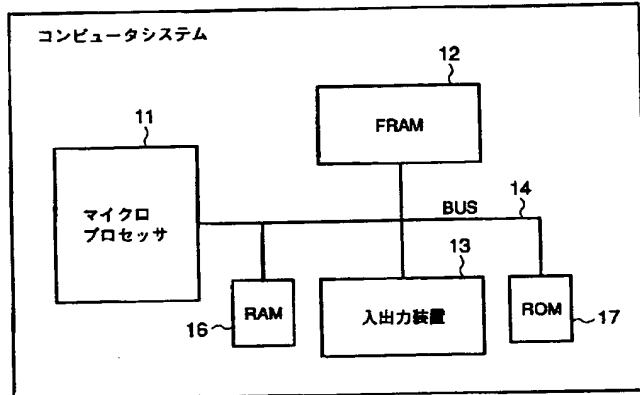
【図 7】



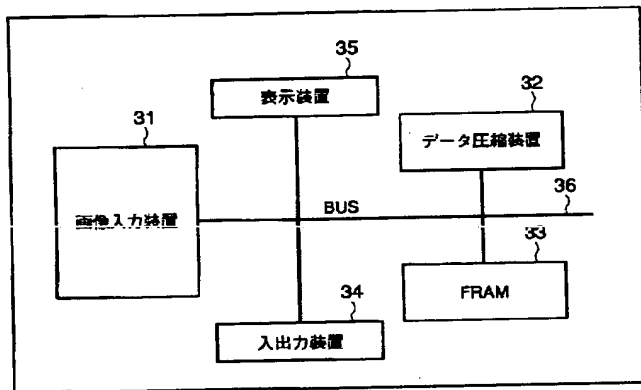
【図 8】



【図 9】

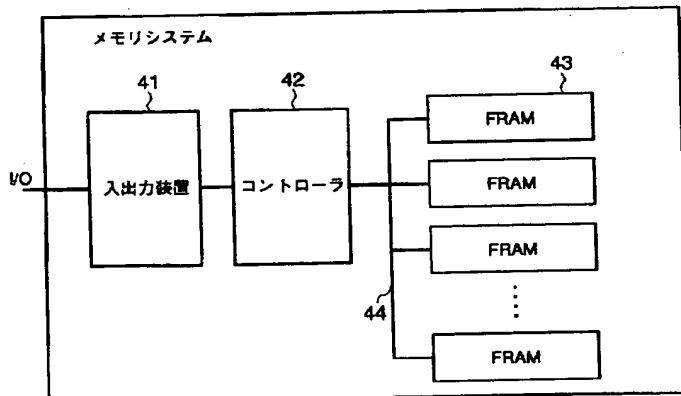


【図 11】

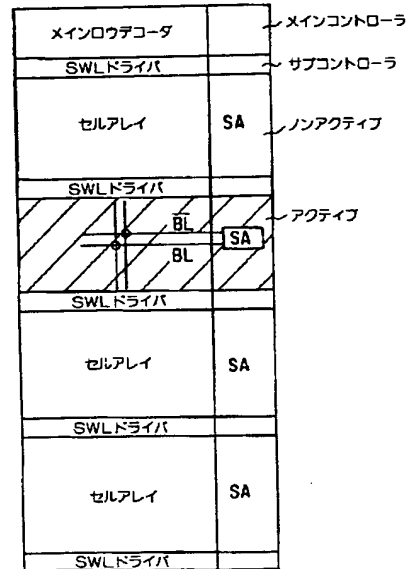


デジタル画像取込み装置

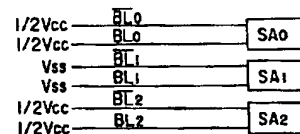
【図 12】



【図 30】

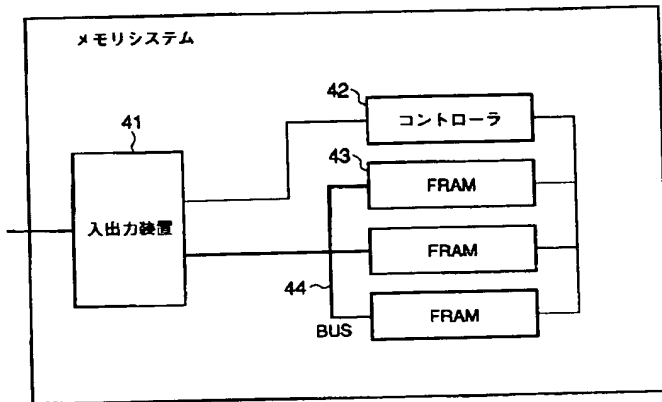


(a)

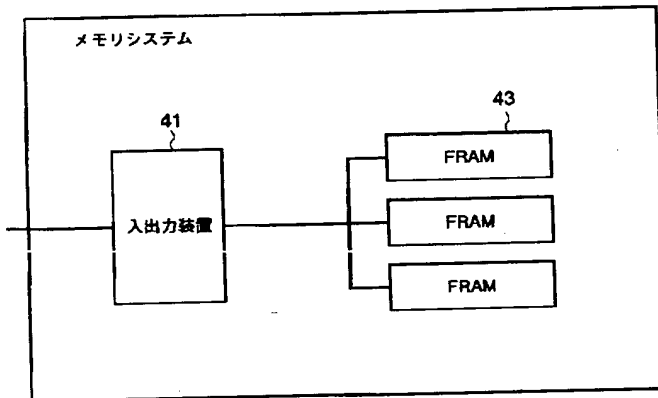


(b)

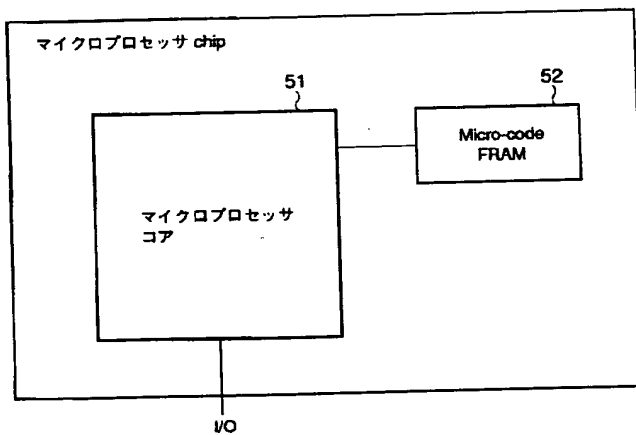
【図13】



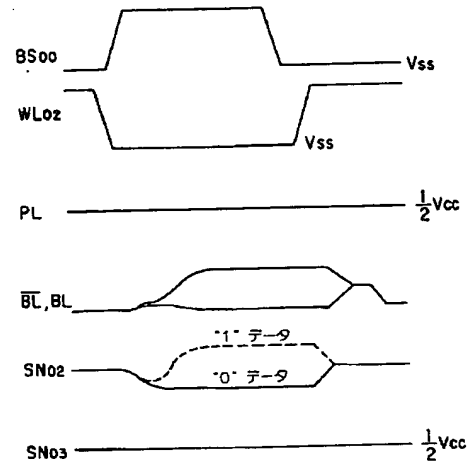
【図14】



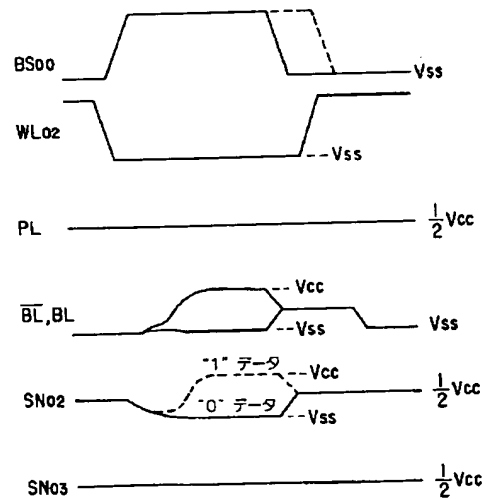
【図15】



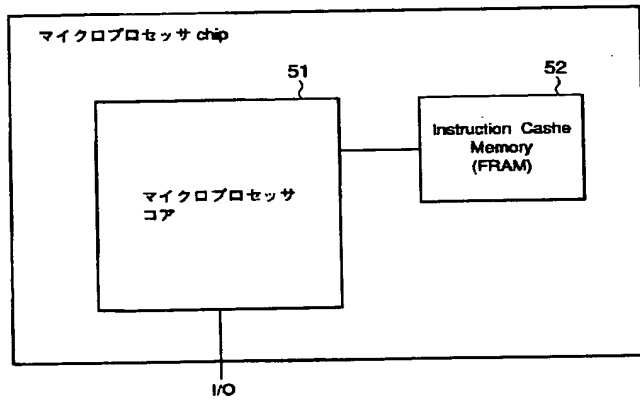
【図31】



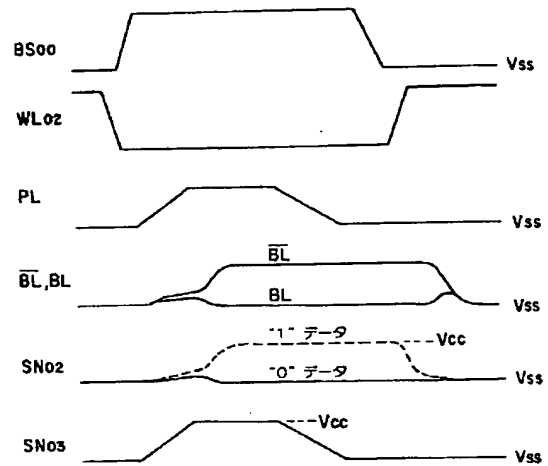
【図32】



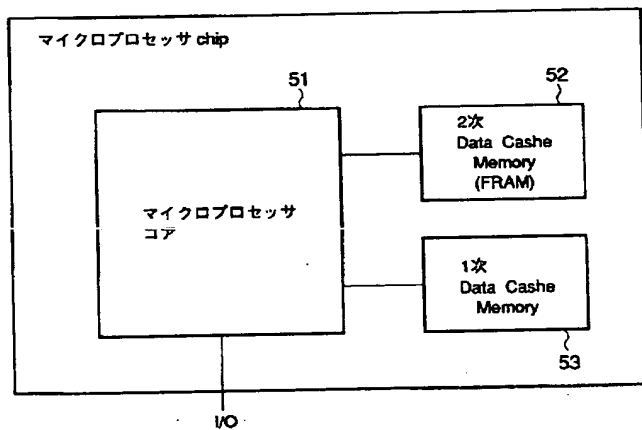
【図16】



【図33】



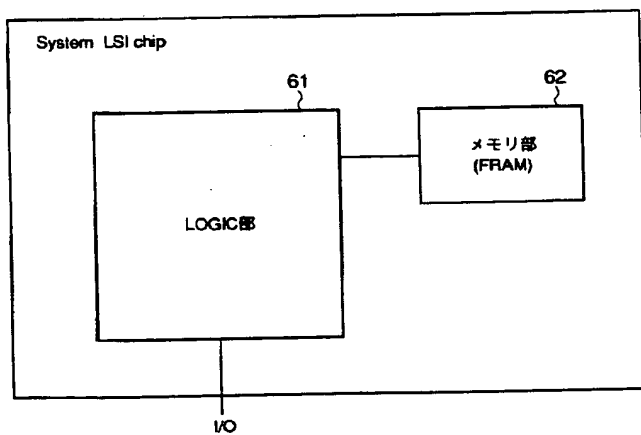
【図17】



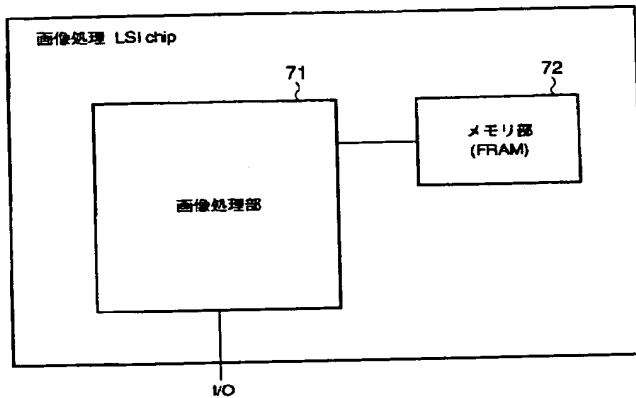
【図35】

		プレート電圧変動の有無 (スピード、パワー)	リフレッシュ動作の有無 (パワー、ビジーレート)
従来 FRAM	ケース1	有り ×	不用 ○
	ケース2	$\frac{1}{2} V_{CC}$ 固定 ○	必要 ×
本発明		$\frac{1}{2} V_{CC}$ 固定 ○	不用 ○

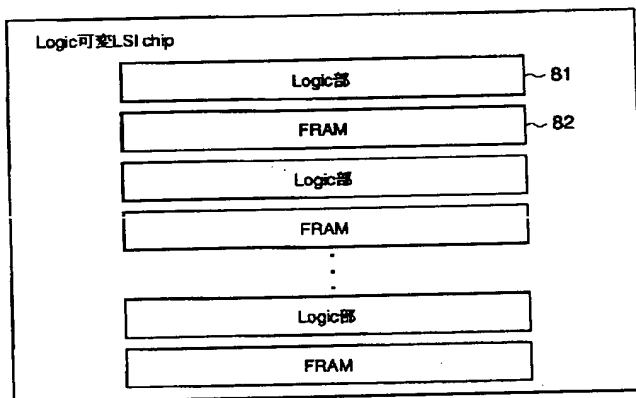
【図18】



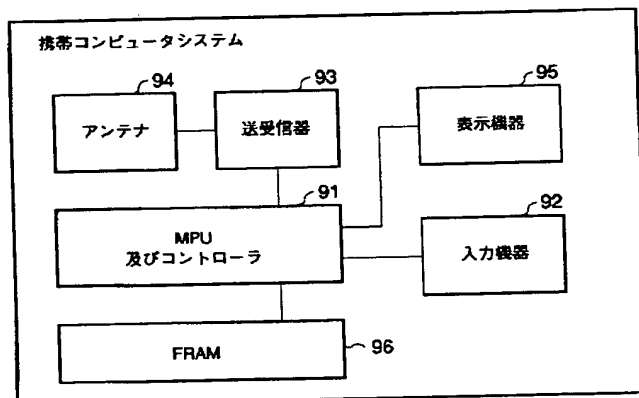
【図19】



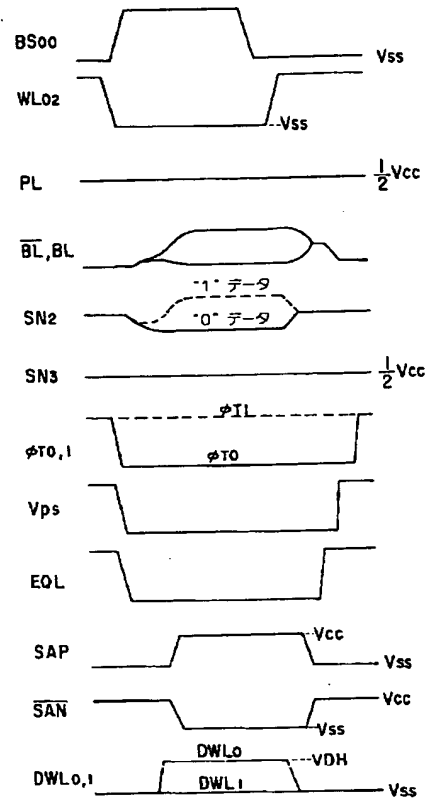
【図20】



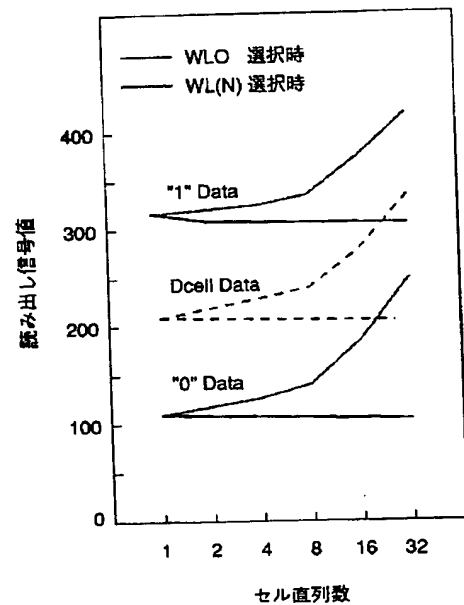
【図21】



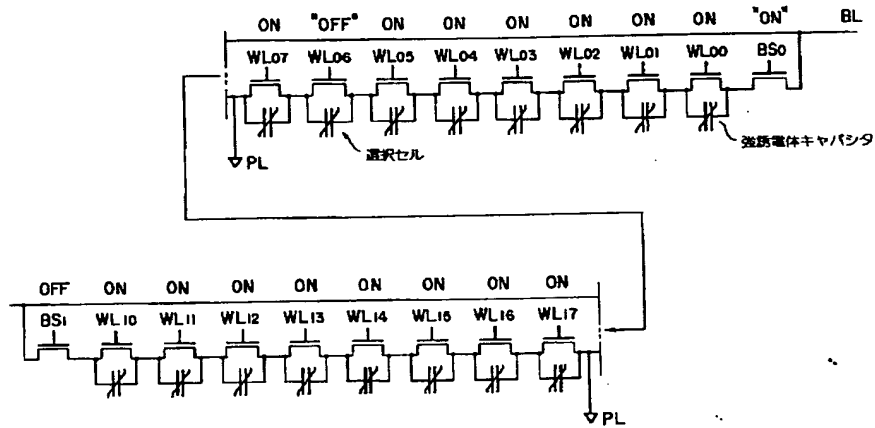
【図37】



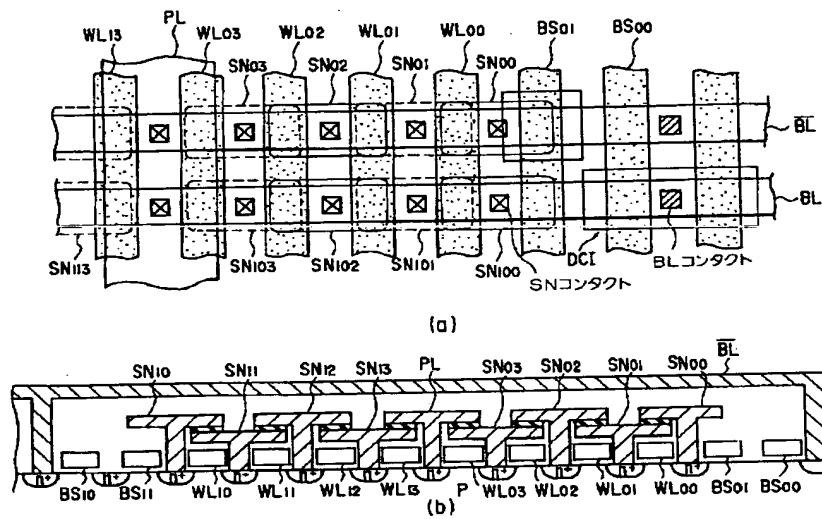
【図43】



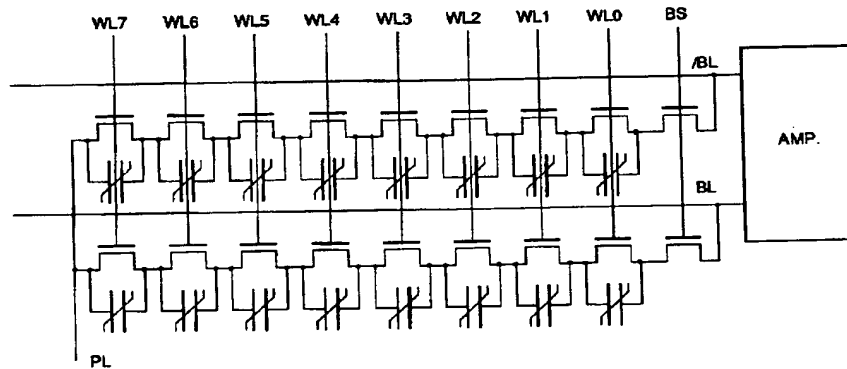
【図22】



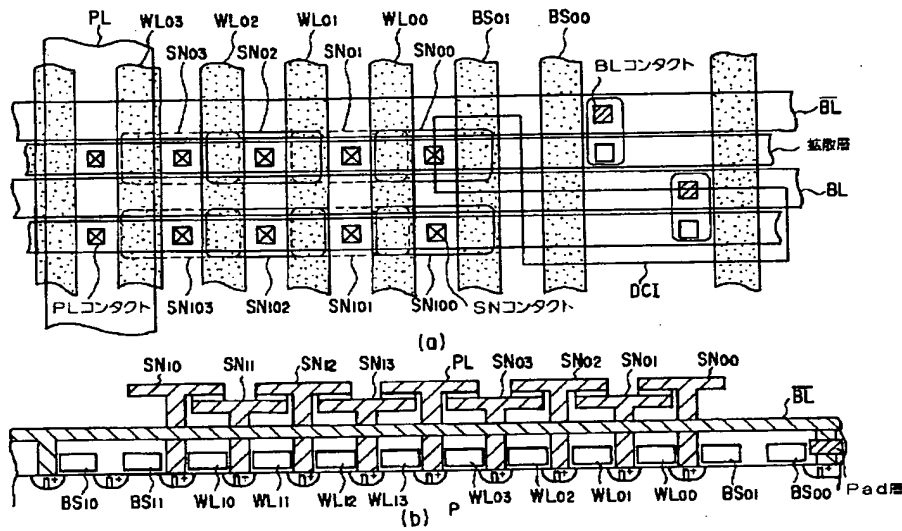
【図24】



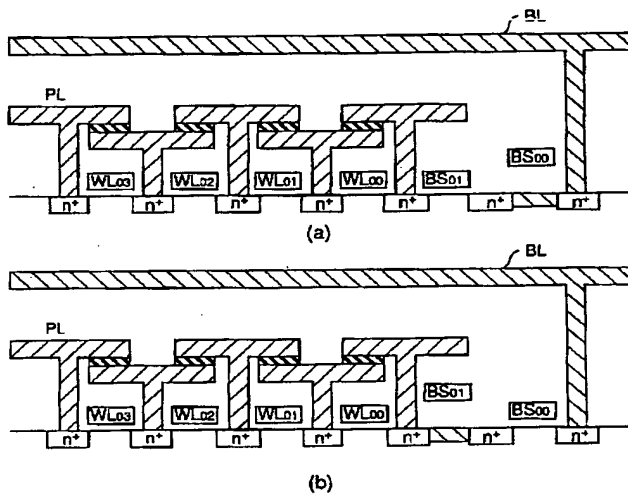
【図29】



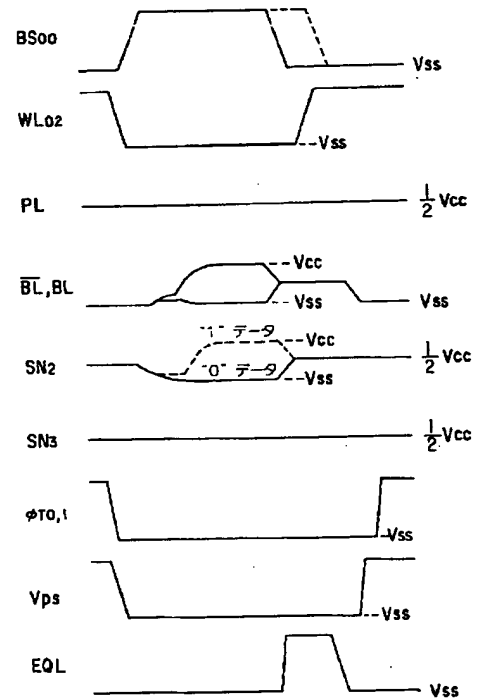
【図25】



【図26】

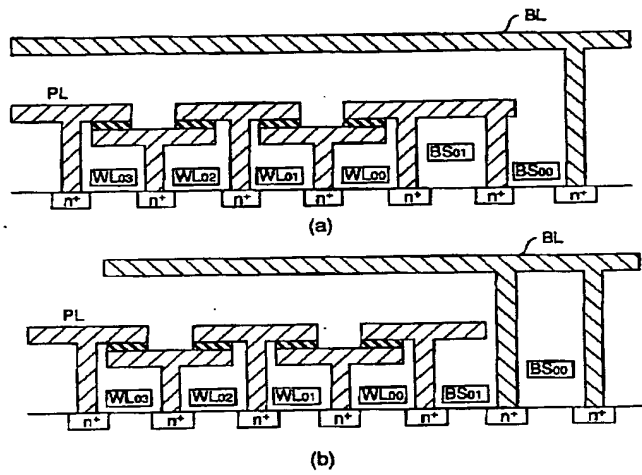


【図39】

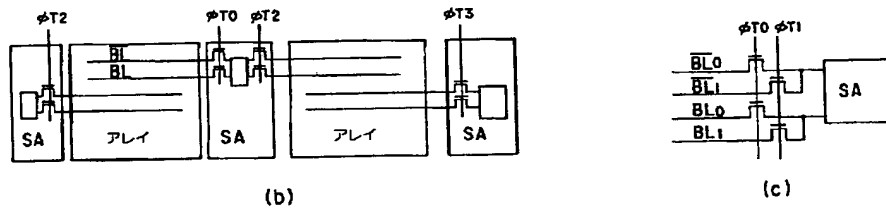
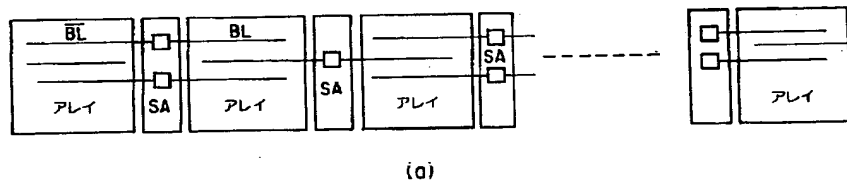




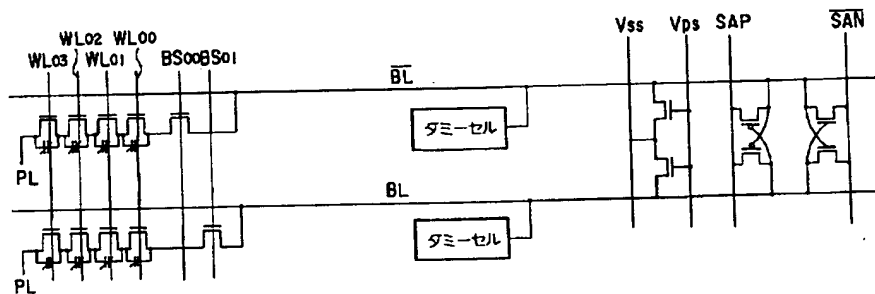
【図 27】



【図 28】



【図 46】



【図34】

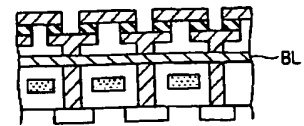
	チップサイズ (コスト性)			T <sub>r</sub> 減損 (プロセス容易性)	リード/ ライツ法 (汎用性)	ノイズ (信頼性)	(非) 不揮発性 (ポータブル性)
	セルサイズ	BL容量	chipサイズ (BL容量=一定)				
従来 4F <sup>2</sup> セル	4F <sup>2</sup> ○	大 △ (256WL/BL)	75~90% △	縦型T <sub>r</sub> TFT ×	ランダム アクセス ○	小 (2層フォール デットBL) ○	不揮発性可
従来 NANDセル	4.5~5F <sup>2</sup> ○ (4~2NAND)	中 ○ (512WL/BL)	71~74% ○	平面T <sub>r</sub> ○	ブロック アクセス ×	小 (BS付加により フォールデット BL) ○	不揮発性可
本発明	4.5~5F <sup>2</sup> ○	小 ○ (1024WL/BL)	62.5~64% ○	平面T <sub>r</sub> ○	ランダム アクセス ○	小 ○	不揮発性
従来 8F <sup>2</sup> セル	8F <sup>2</sup> ×	中 ○ (512WL/BL)	100% ×	平面T <sub>r</sub> ○	ランダム マクセ ○	小 (フォール デットBL) ○	不揮発性可

条件 chip /セル80%  
100%中 (SA20%)  
(周辺20%)

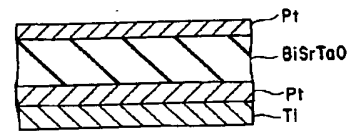
注) BL2層化  
コスト7%増

注) Nesting ≤ 4

【図55】

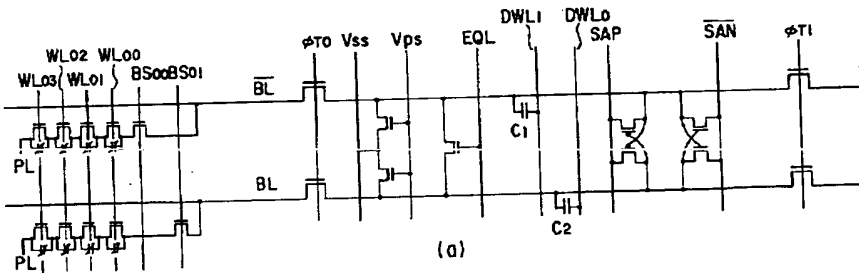


(g)

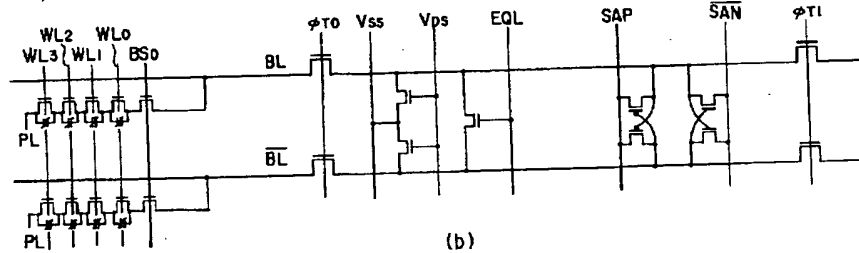


(h)

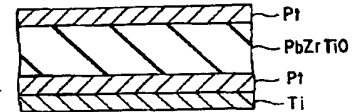
【図36】



(a)

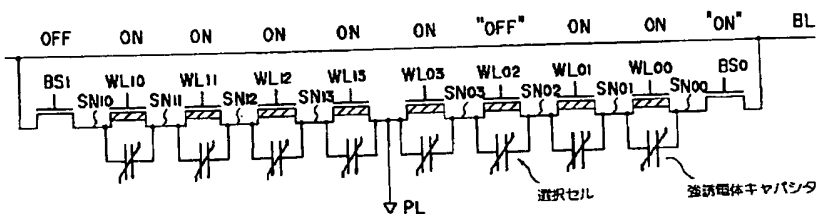


(b)

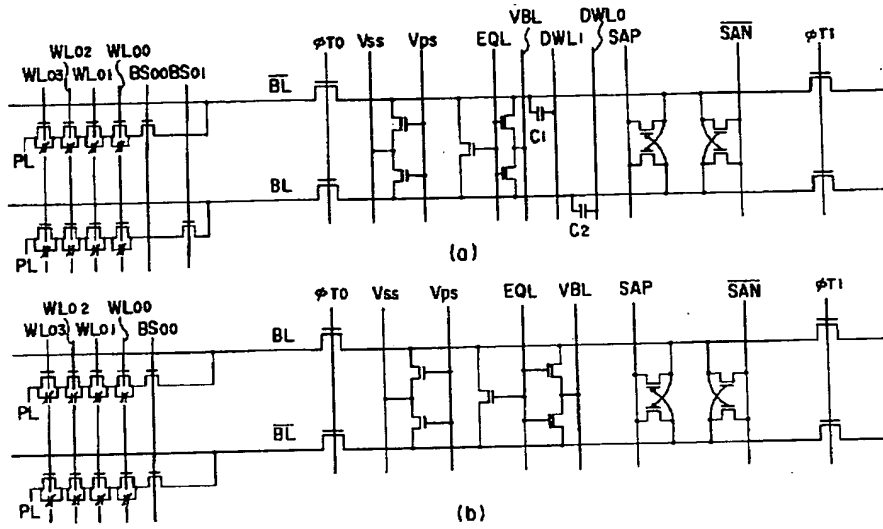


(i)

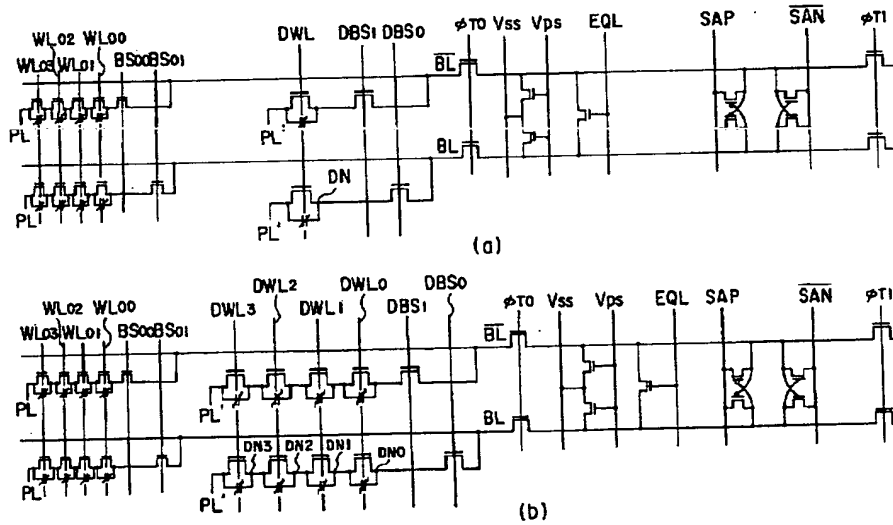
【図49】



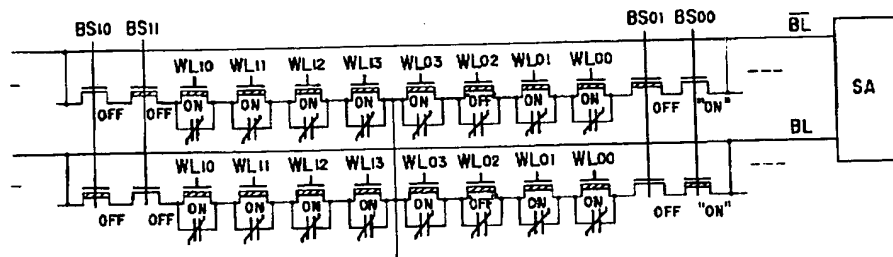
【図 38】



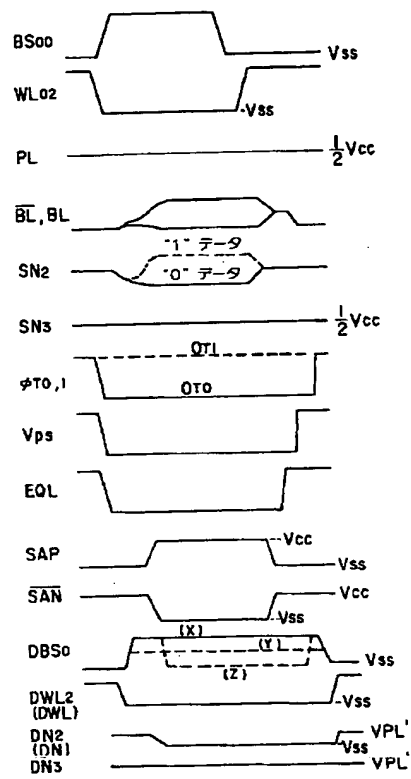
【図 40】



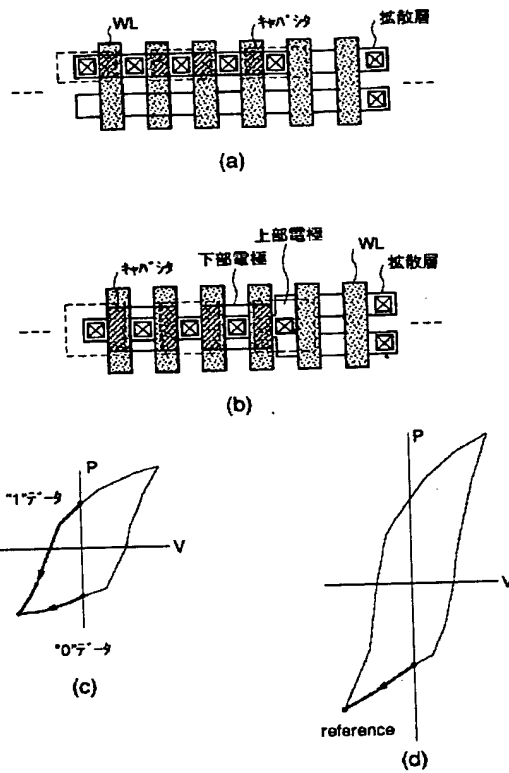
【図 50】



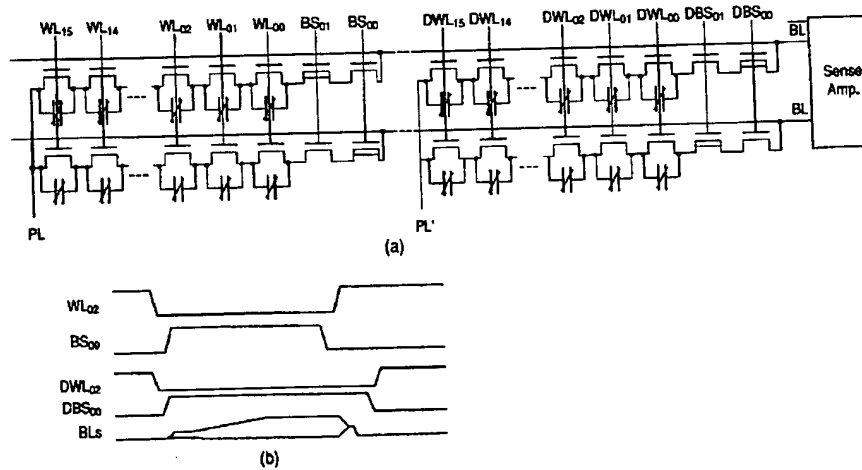
【図41】



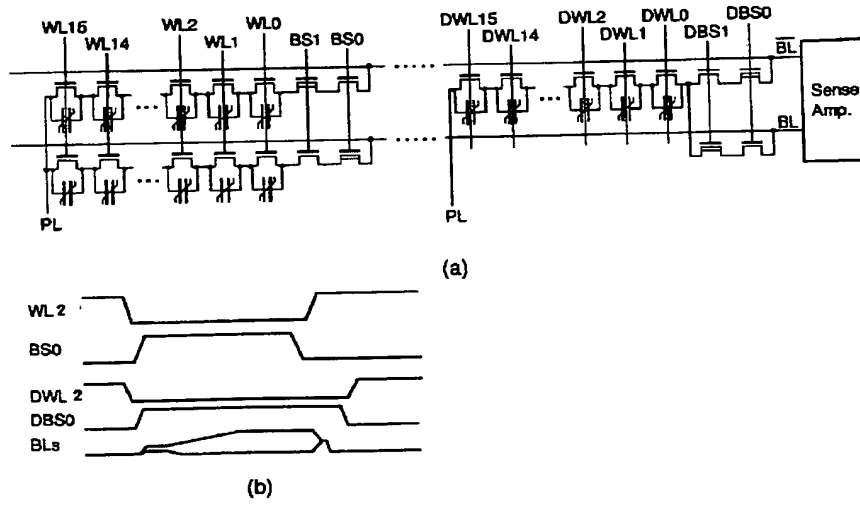
【図45】



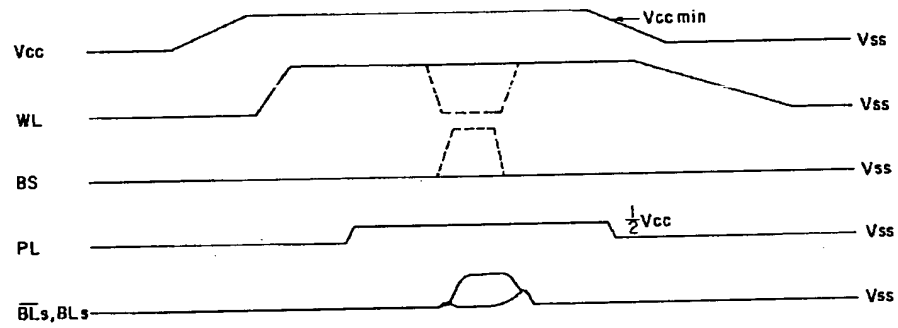
【図42】



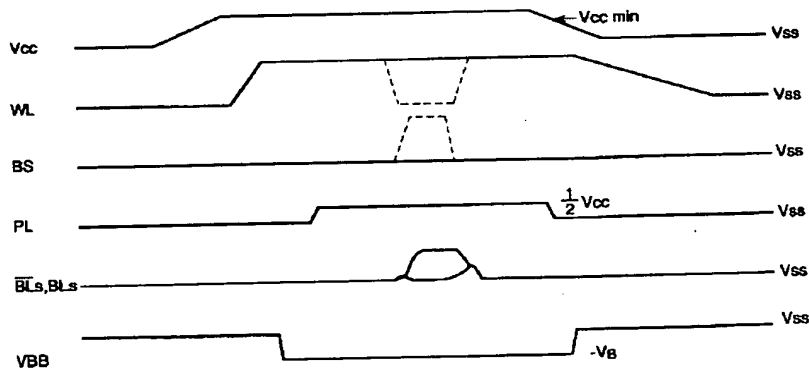
【図 44】



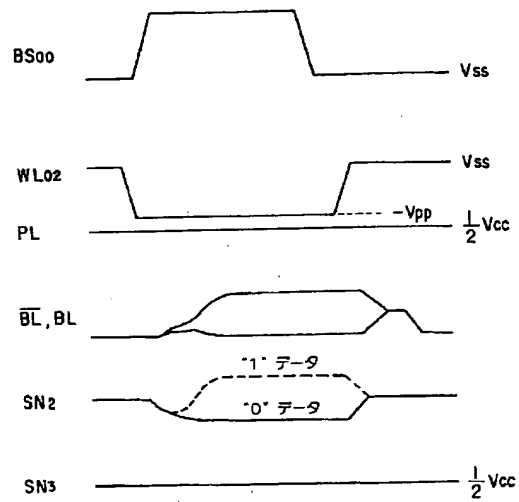
【図 47】



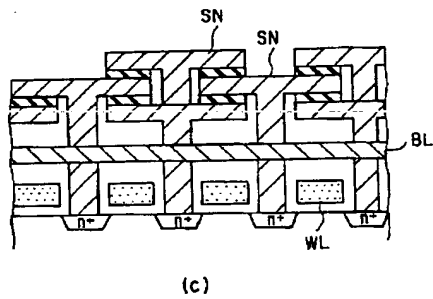
【図 48】



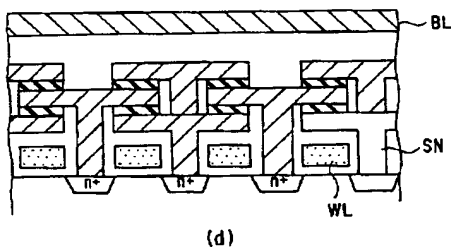
【図51】



【図53】

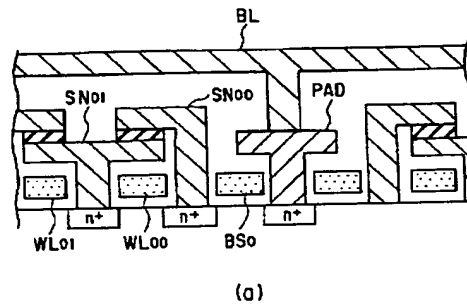


(c)

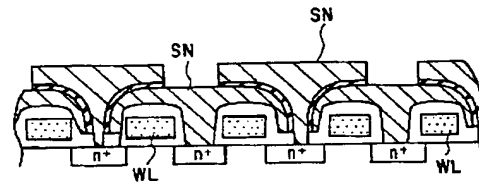


(d)

【図52】

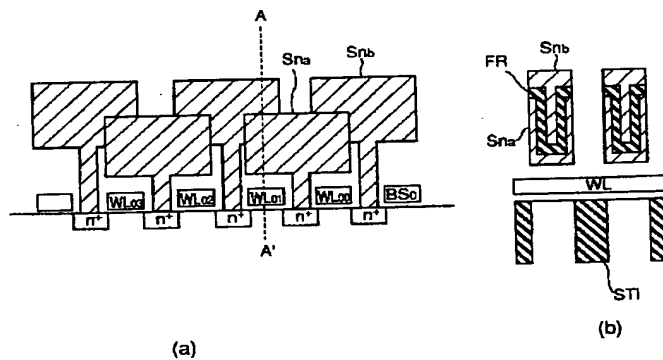


(a)



(b)

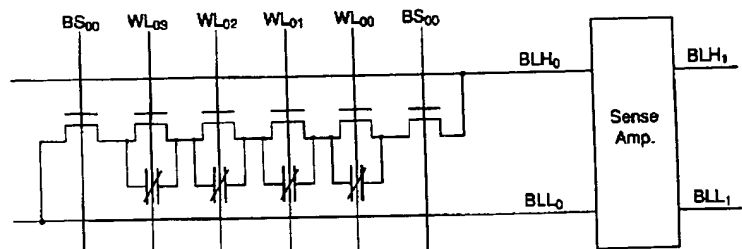
【図57】



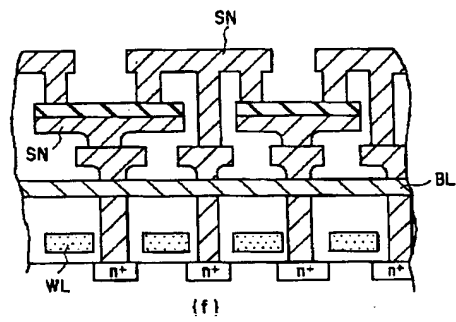
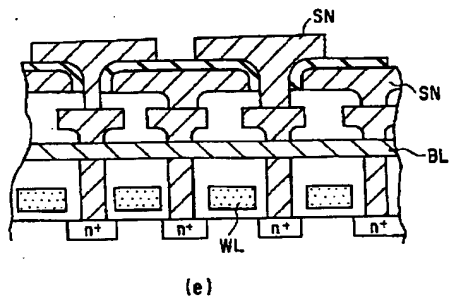
(a)

(b)

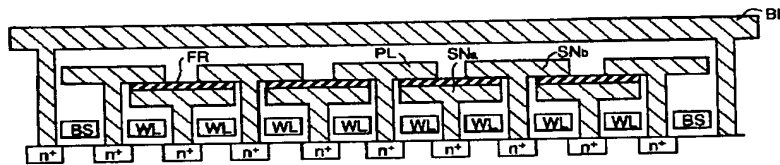
【図92】



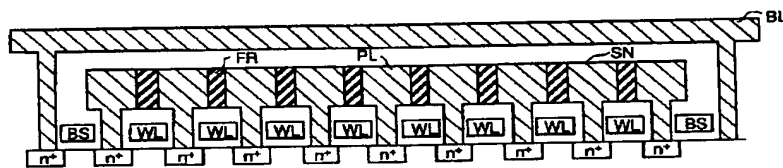
【図 5 4】



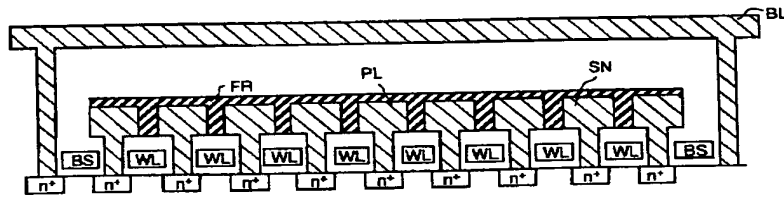
【図 5 6】



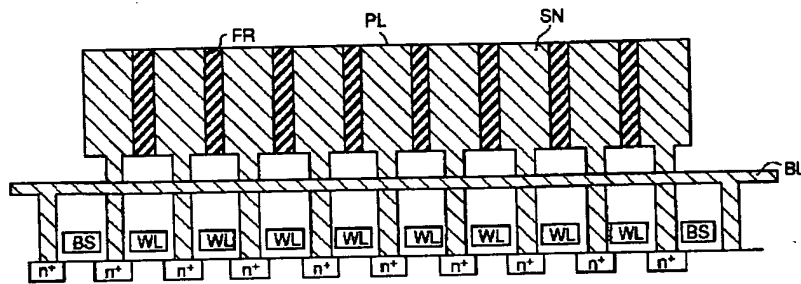
【図 5 8】



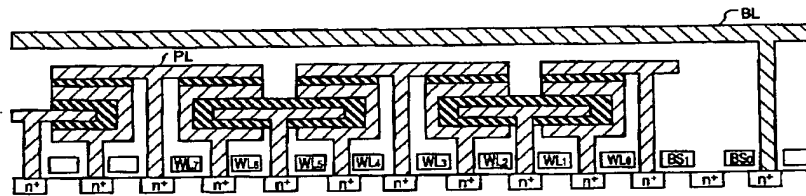
【図 59】



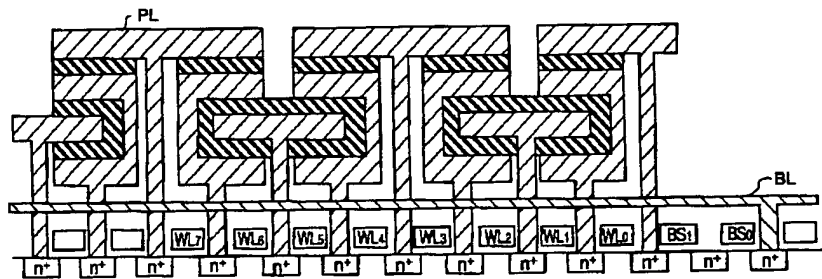
【図 60】



【図 61】



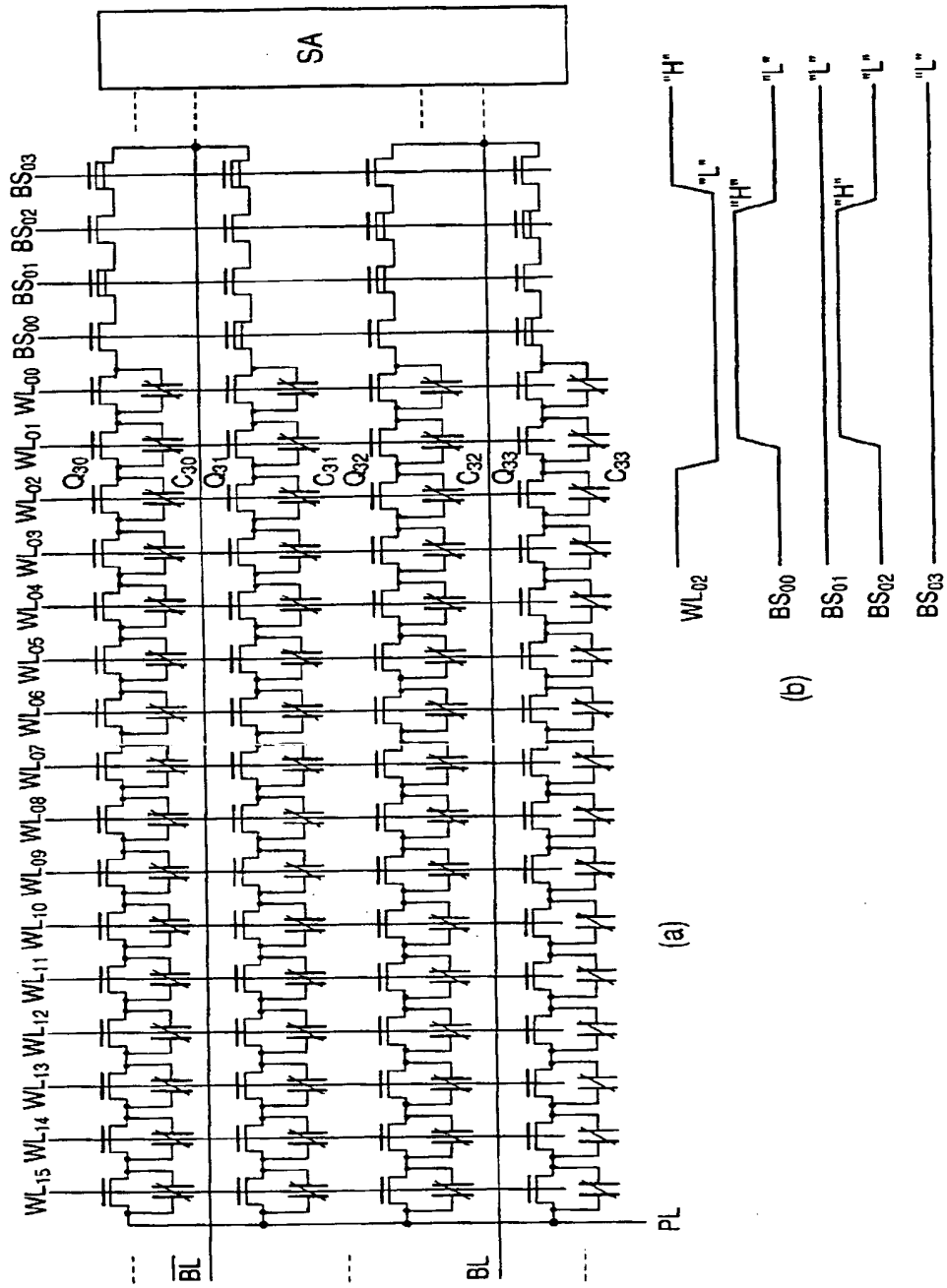
【図 62】



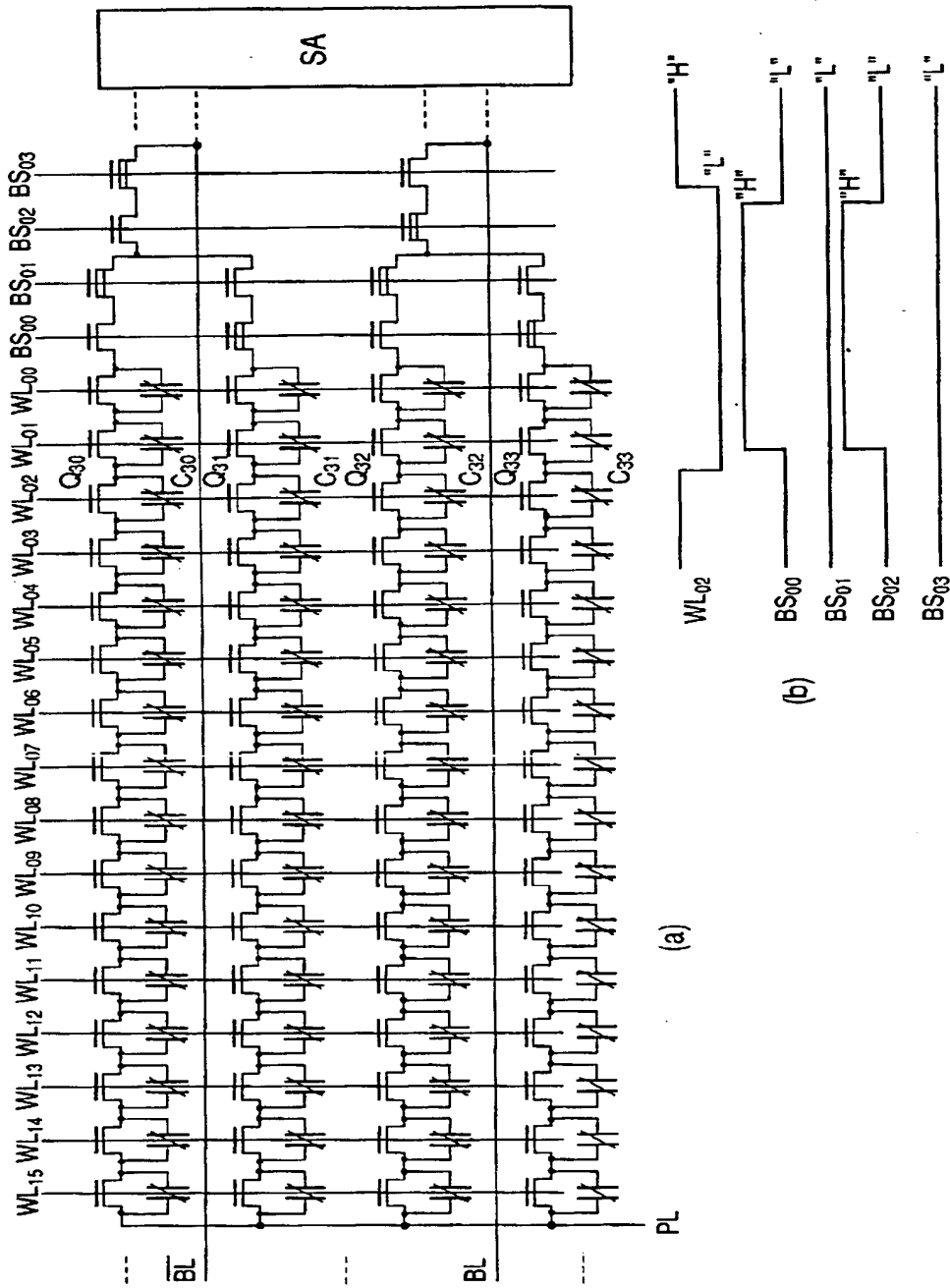




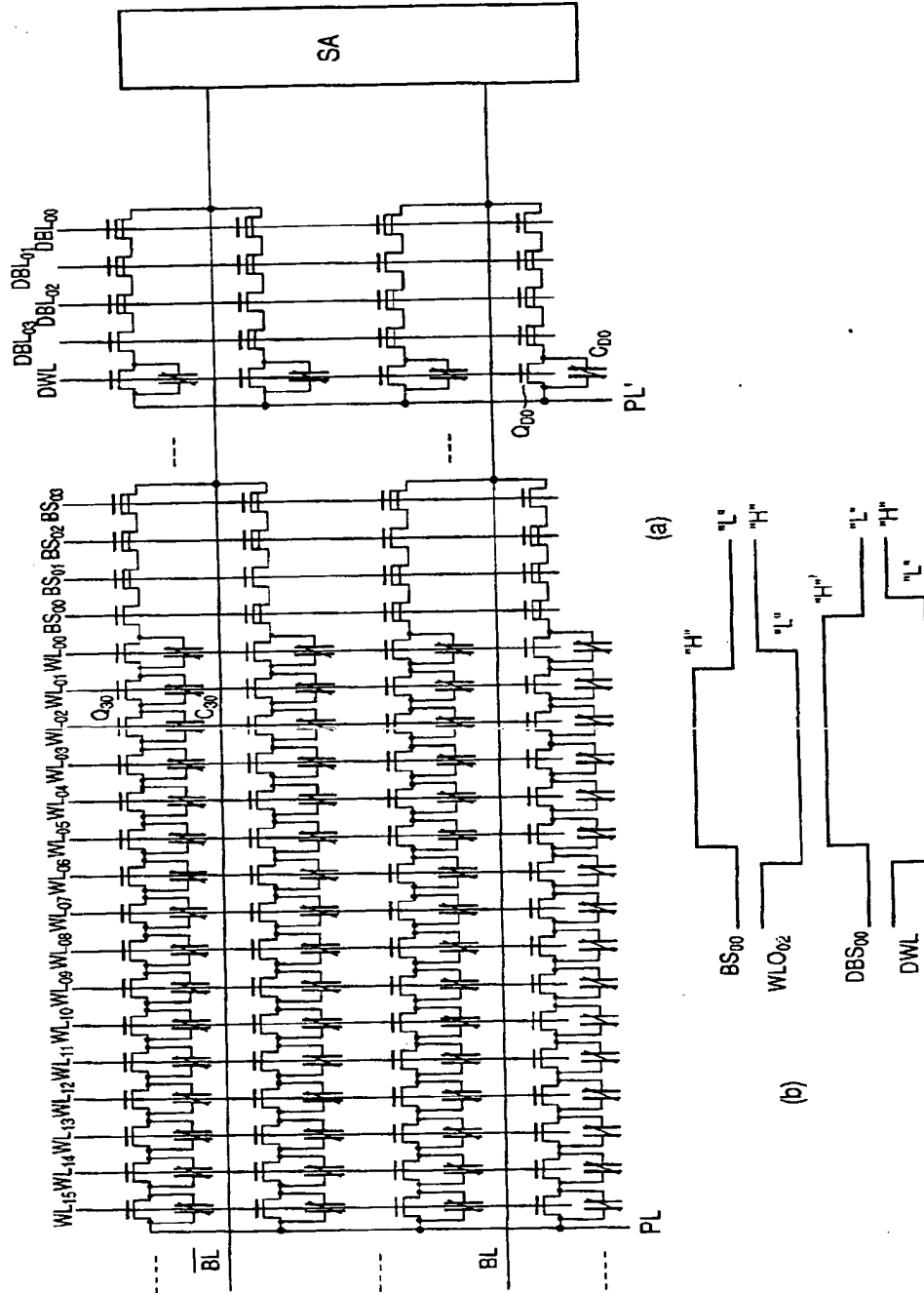
【図64】



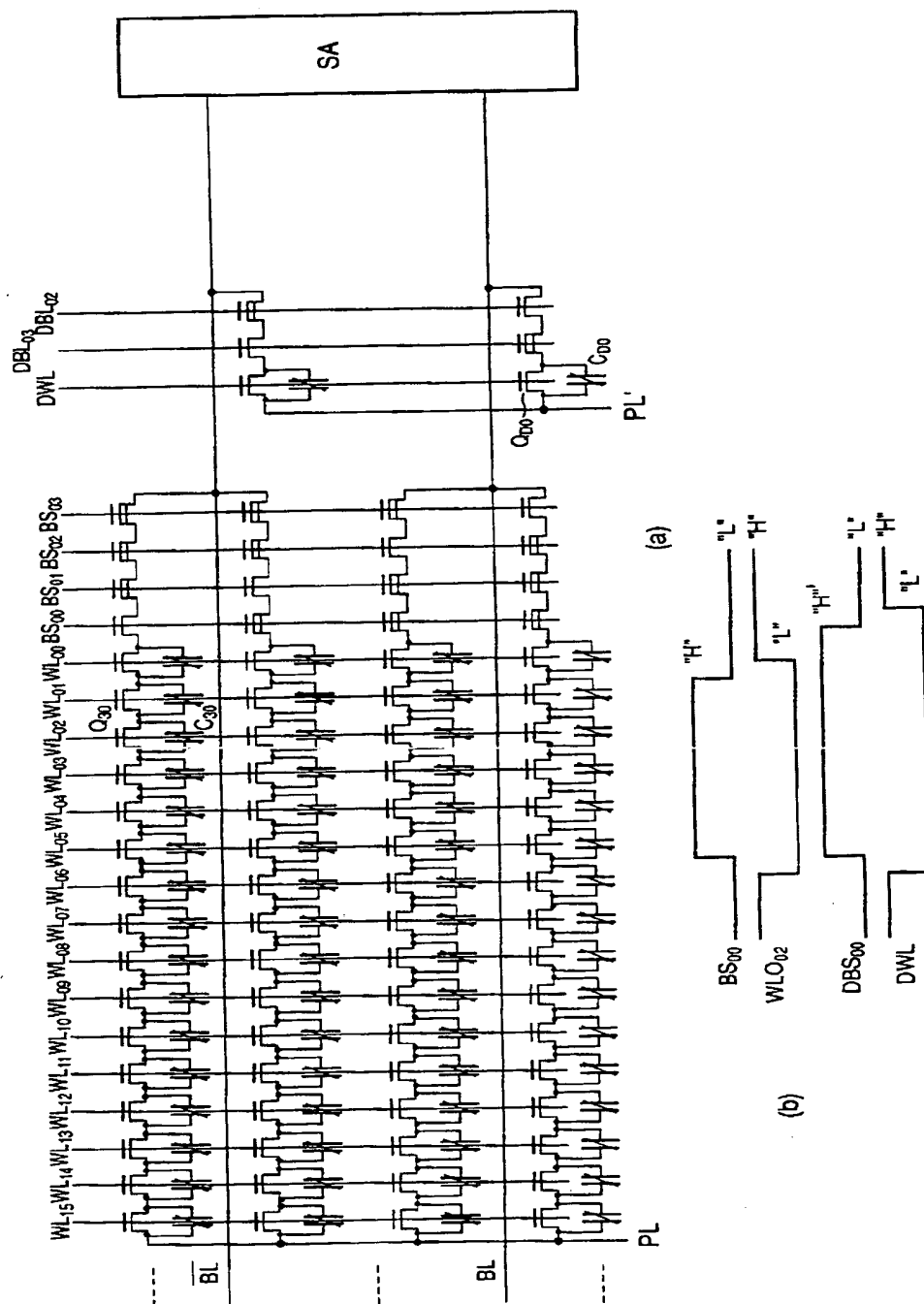
【図65】



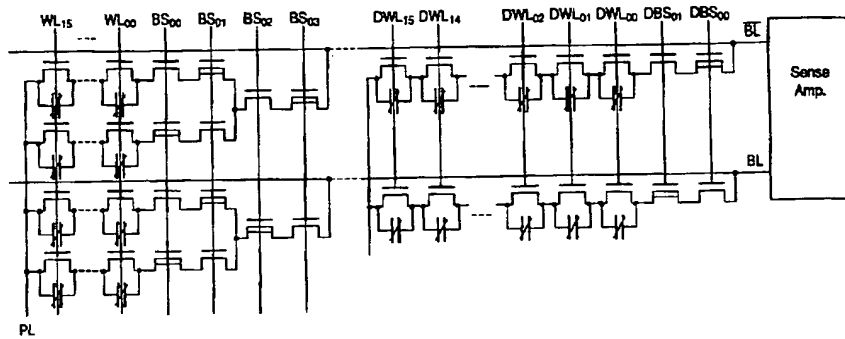
【図66】



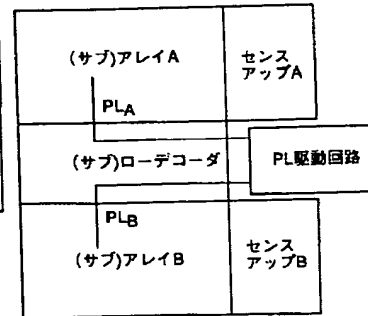
【図67】



【図68】

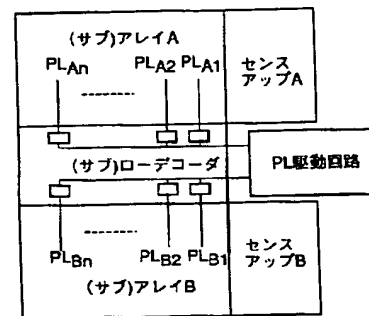
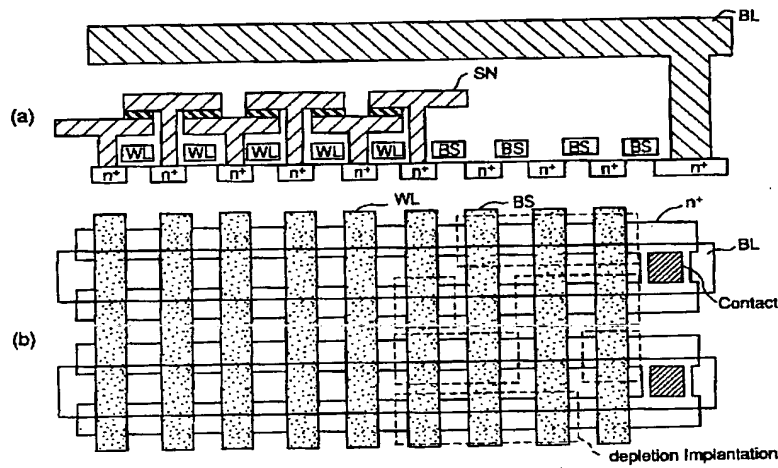


【図119】



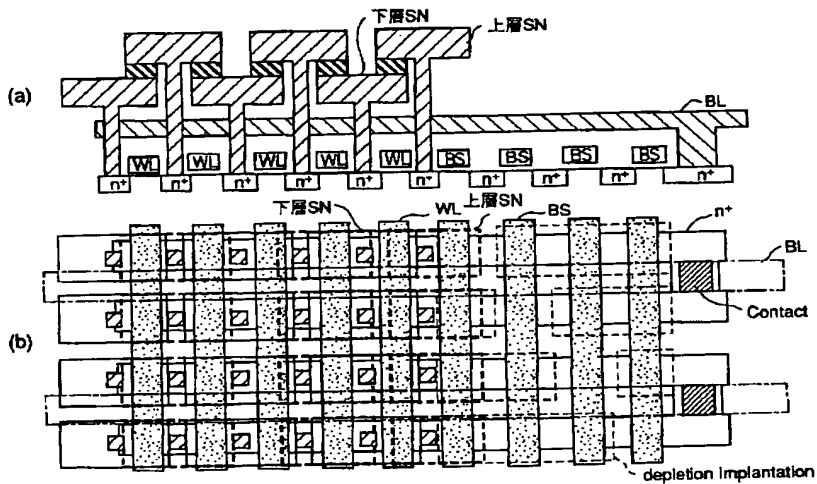
(a)

【図75】

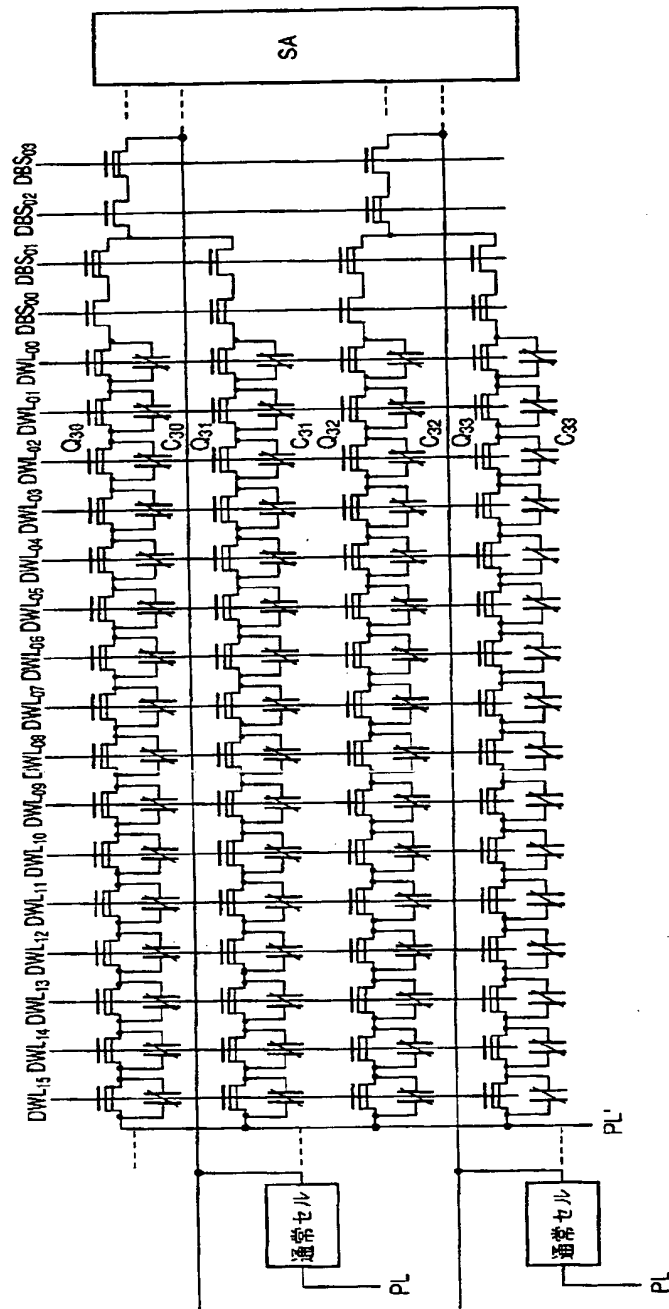


(b)

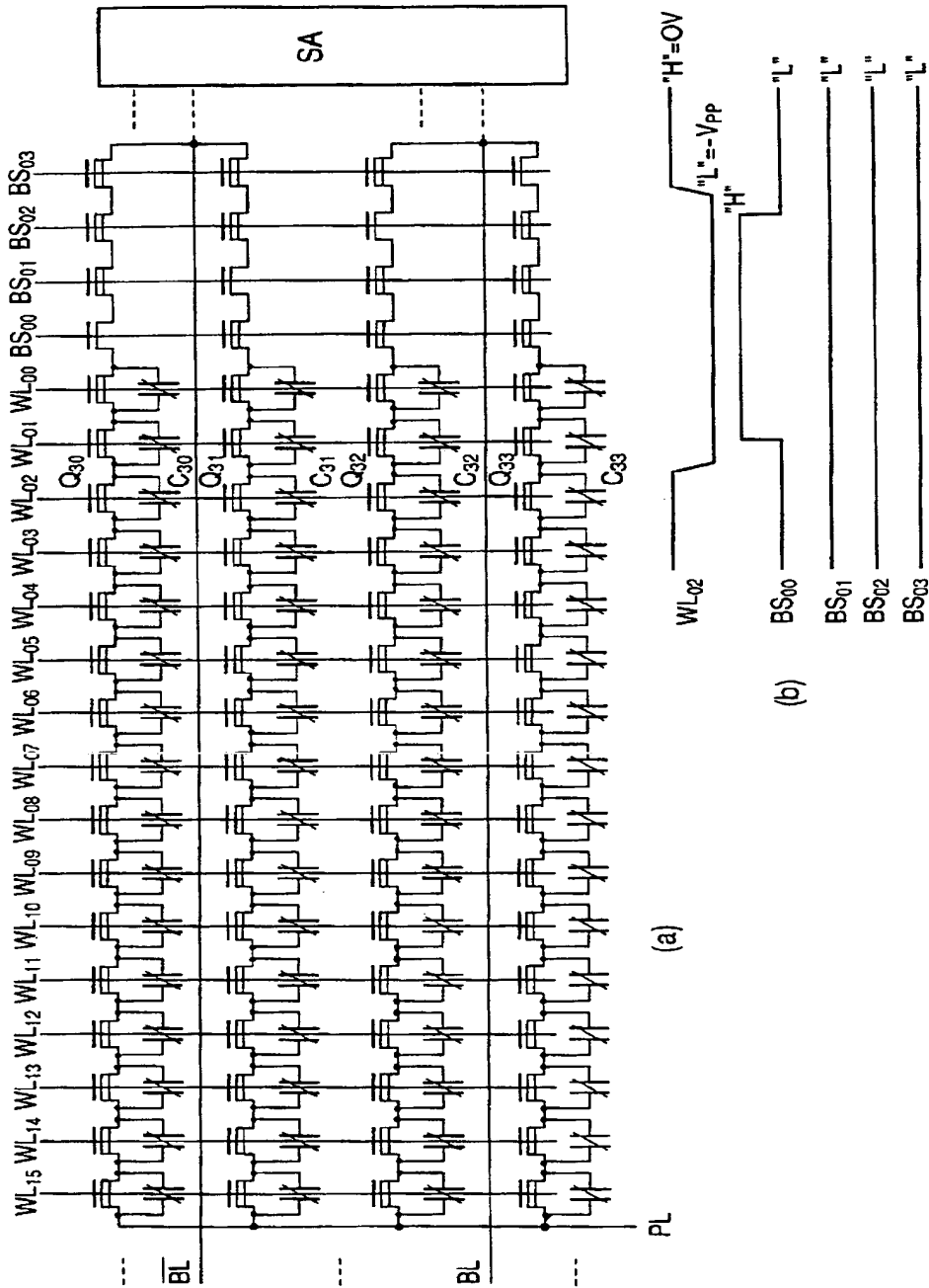
【図76】



【図69】

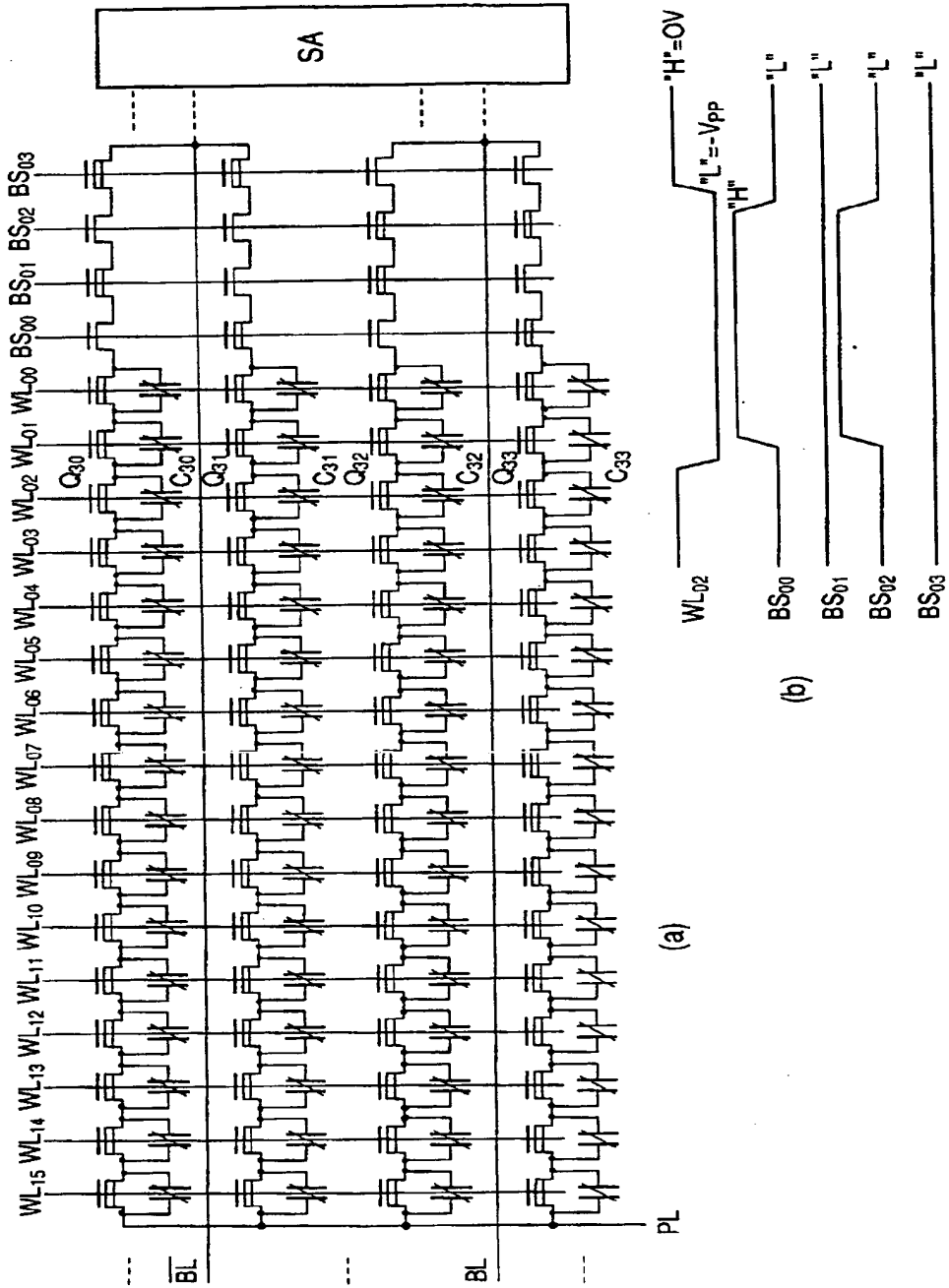


【図70】

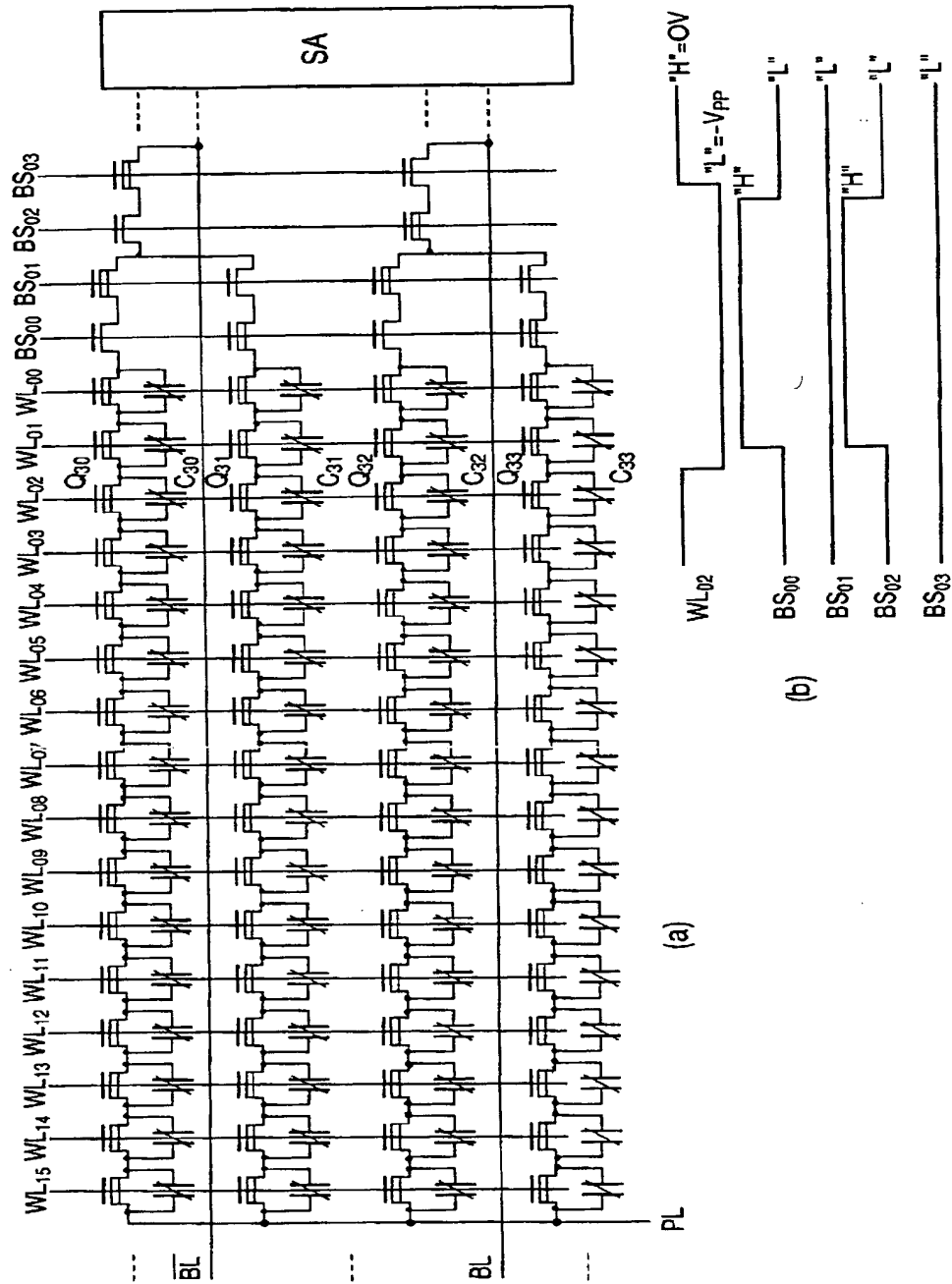




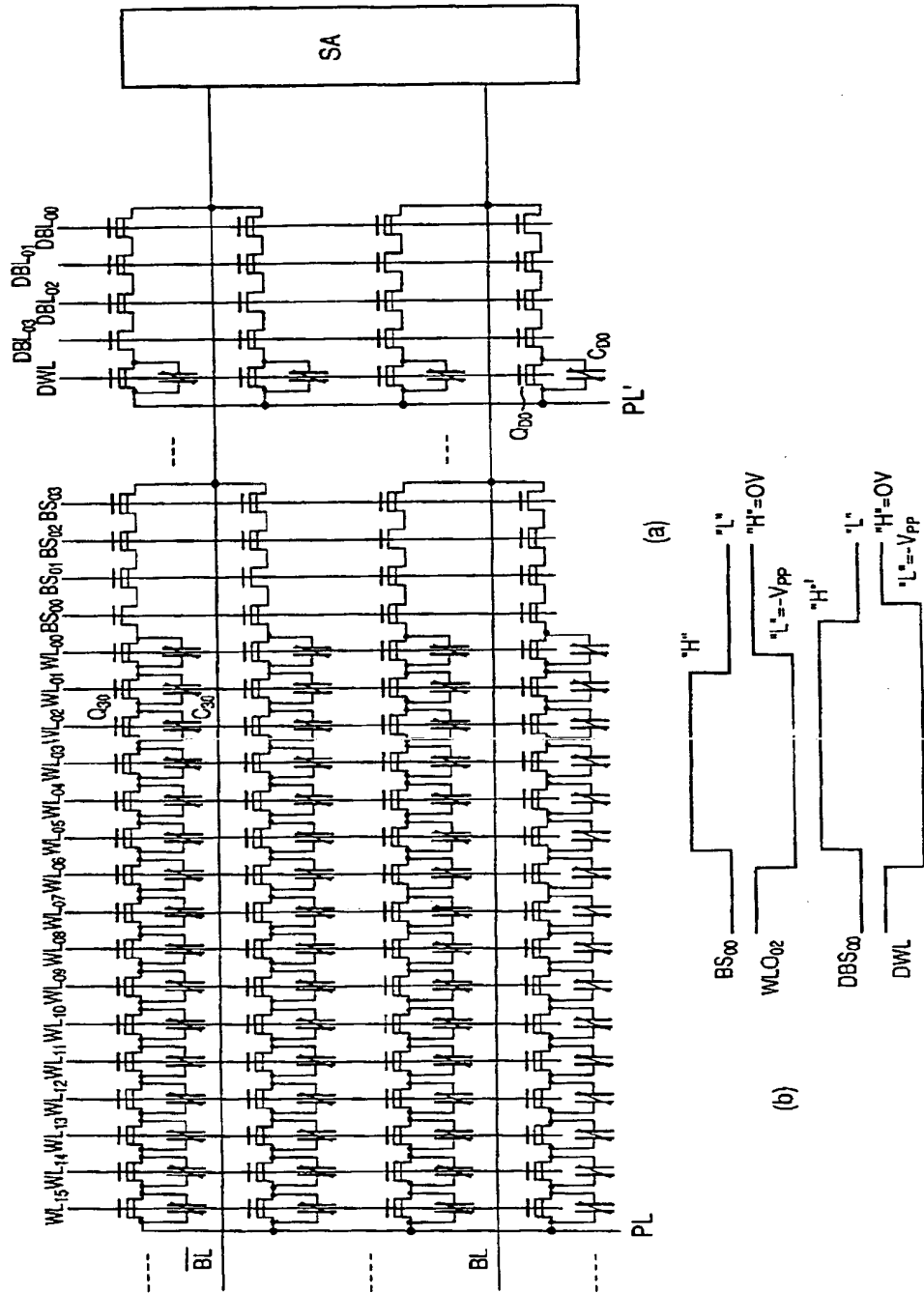
【図71】



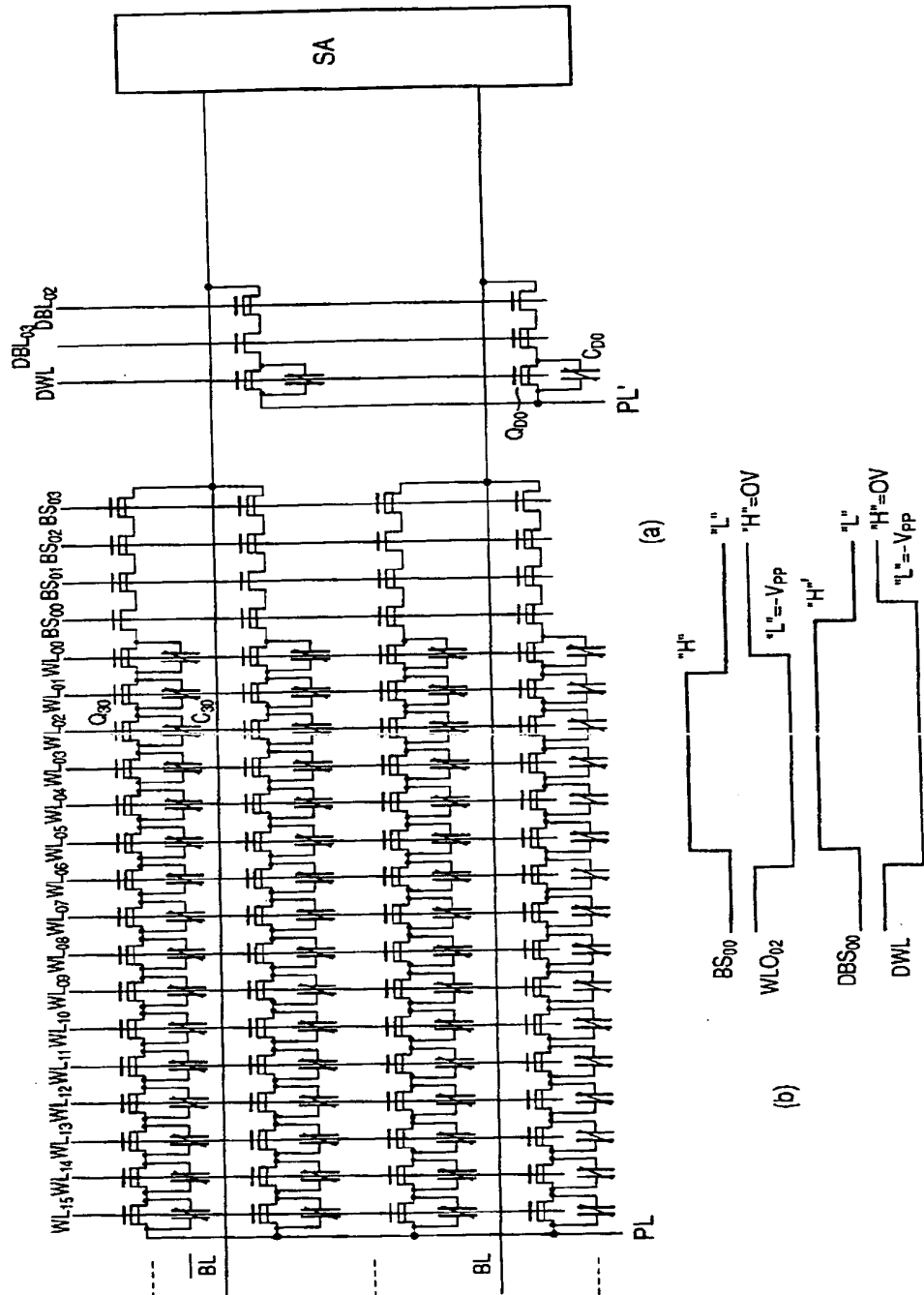
【図72】



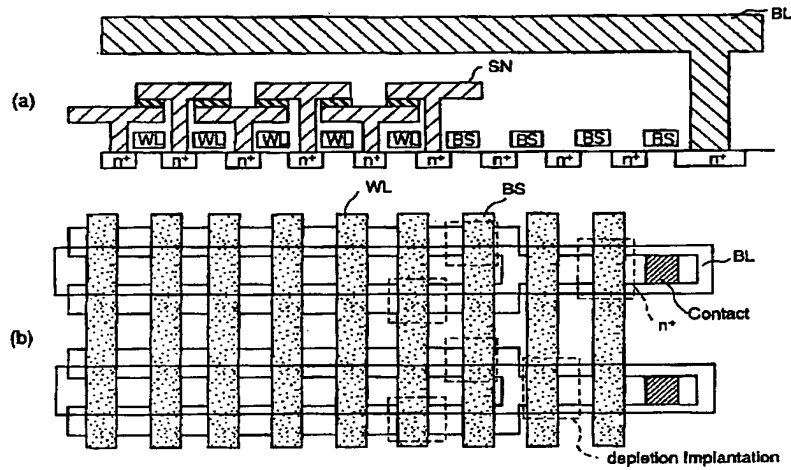
【図73】



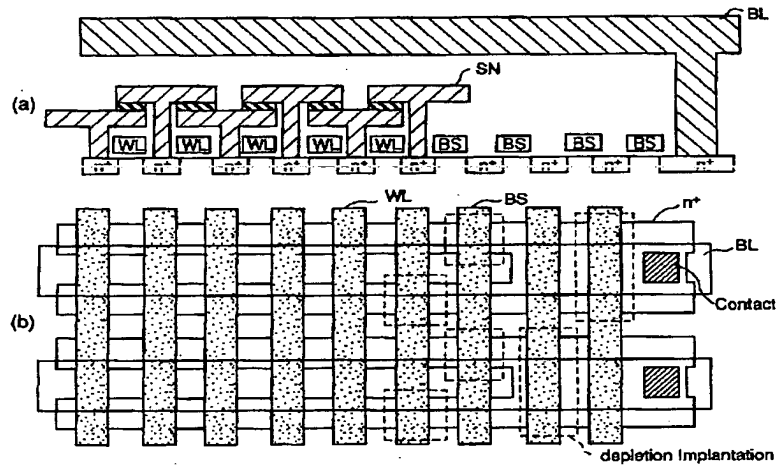
SA



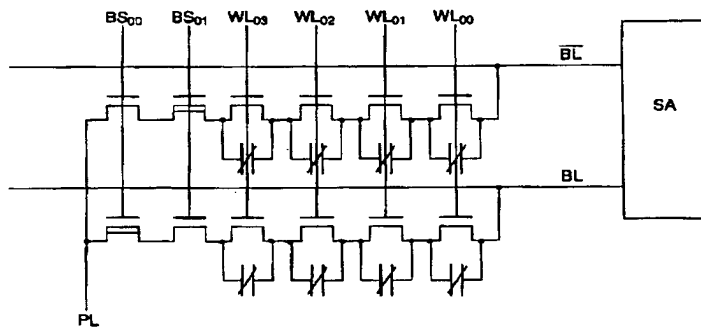
【図 77】



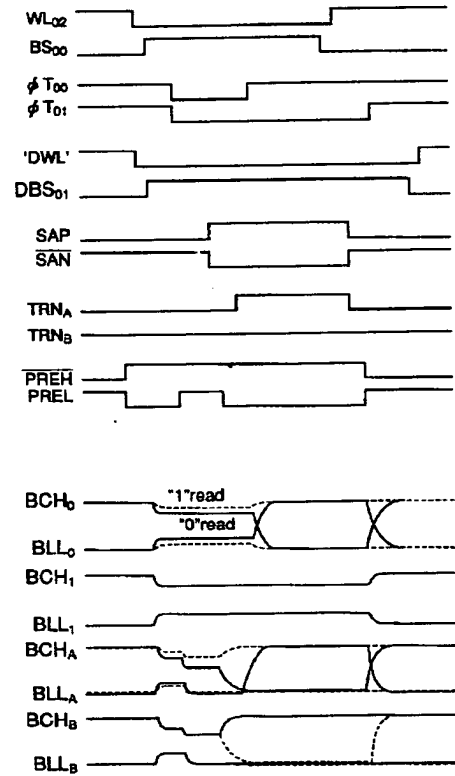
【図 78】



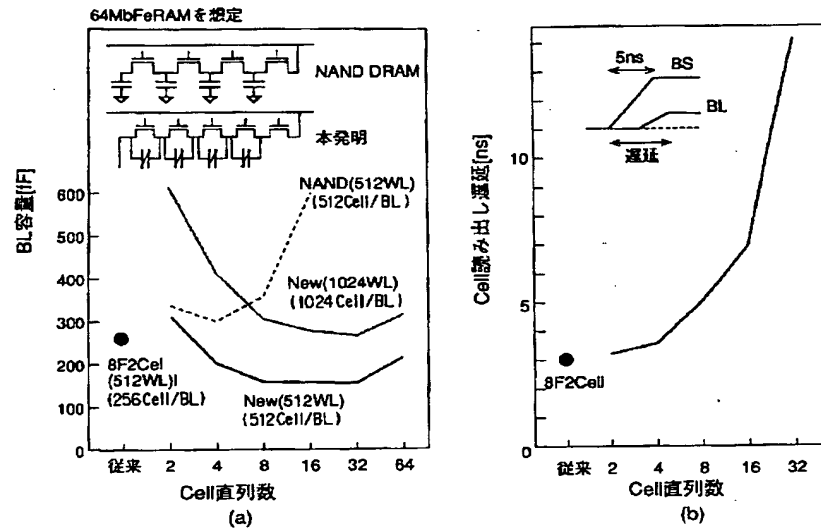
【図 82】



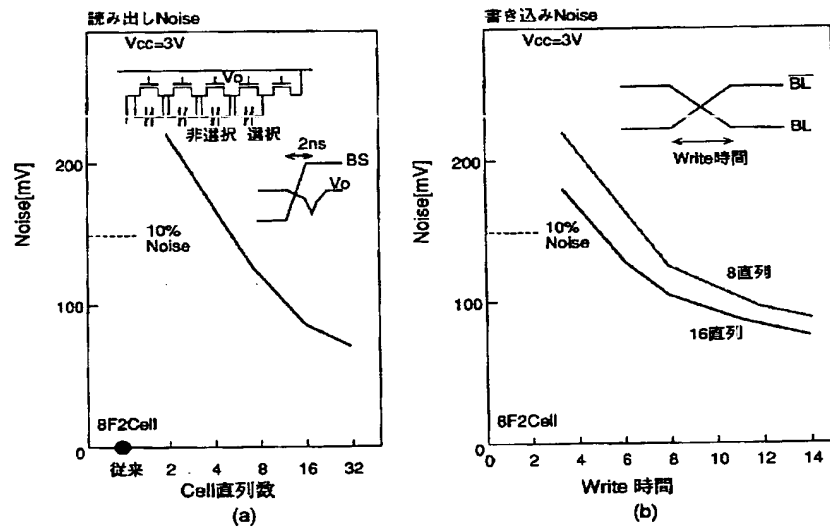
【図 94】



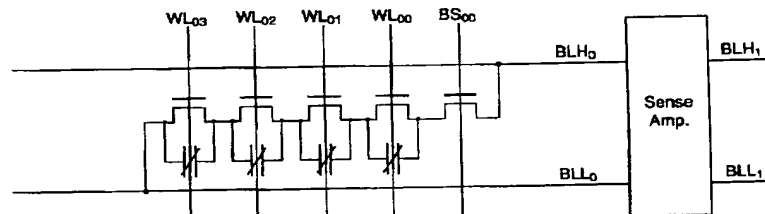
【図79】



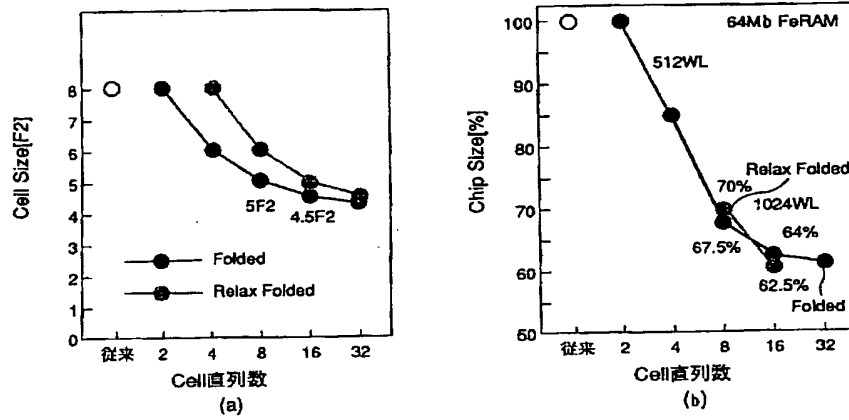
【図80】



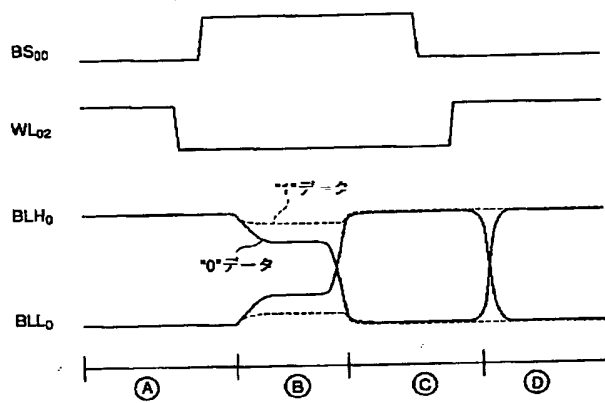
【図91】



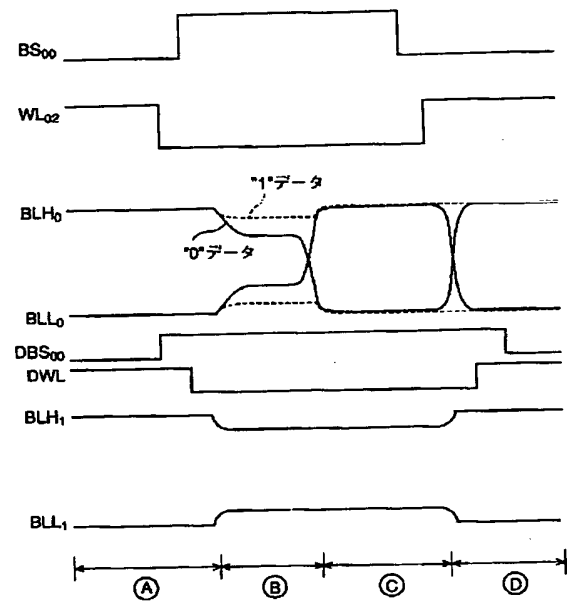
【図81】



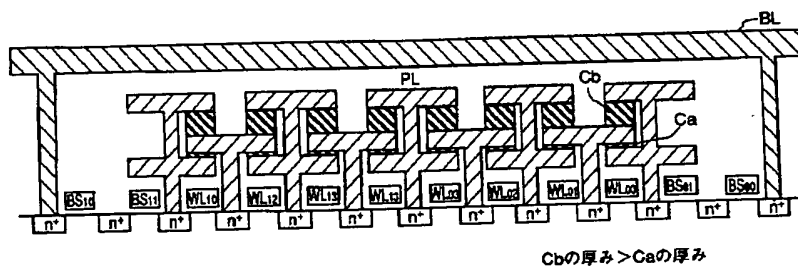
【図84】



【図86】

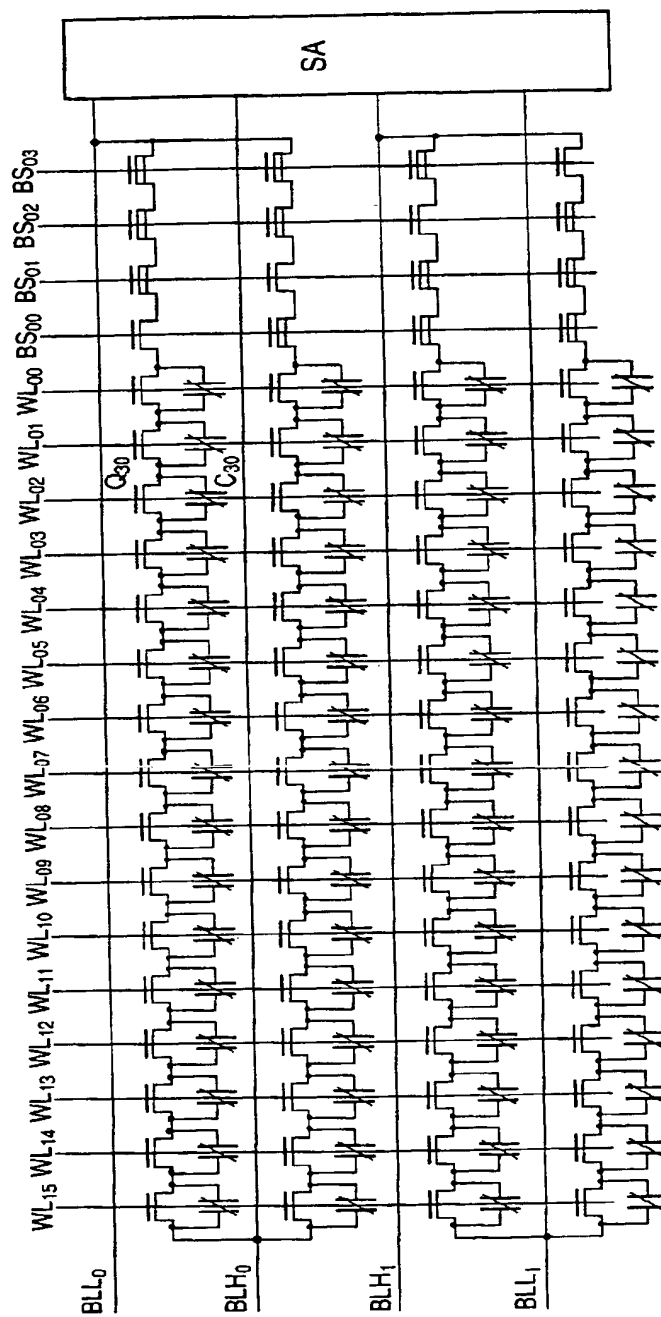


【図103】



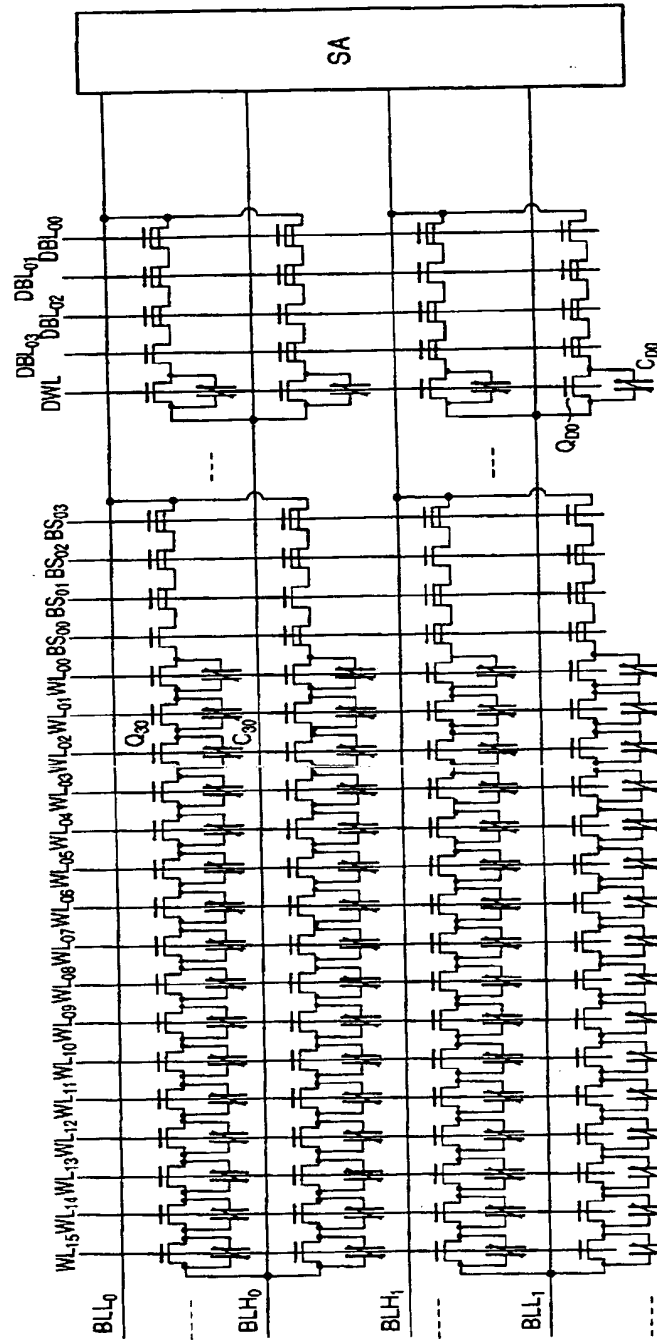
Cbの厚み &gt; Caの厚み

【図83】

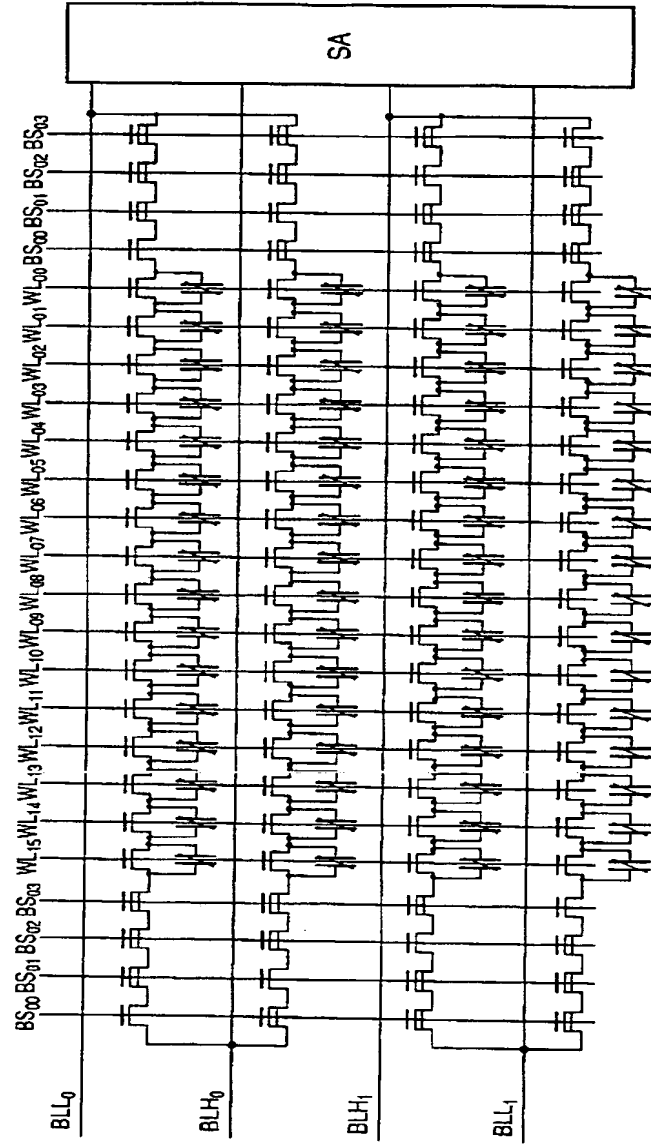




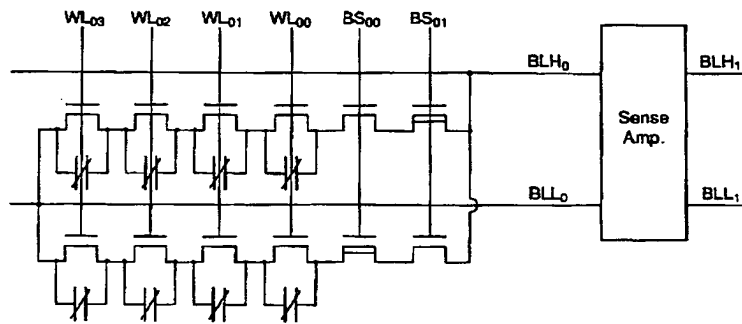
【図85】



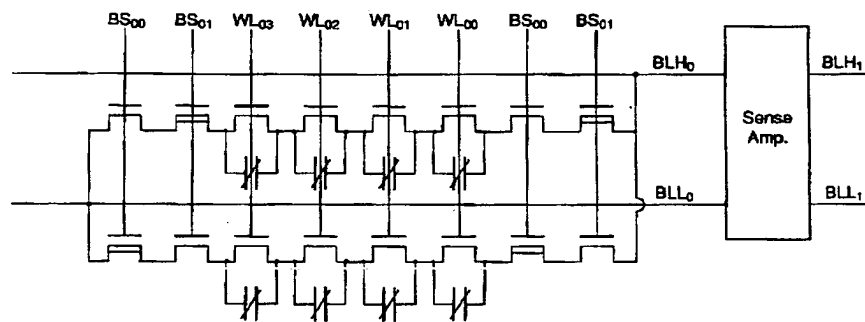
【図 8 7】



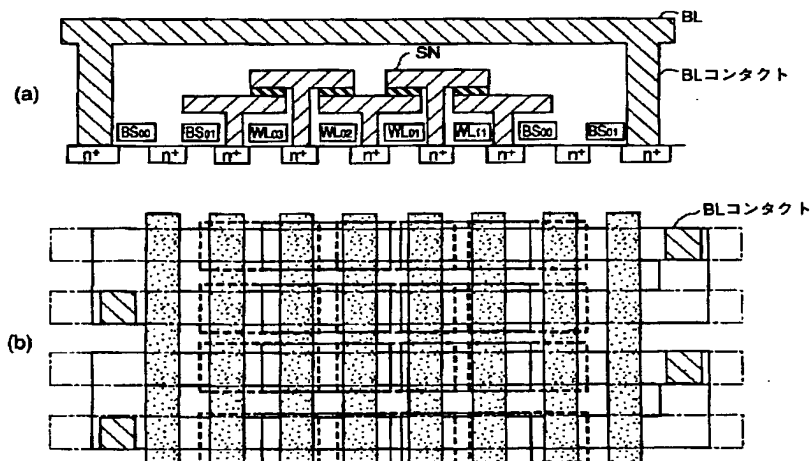
【図88】



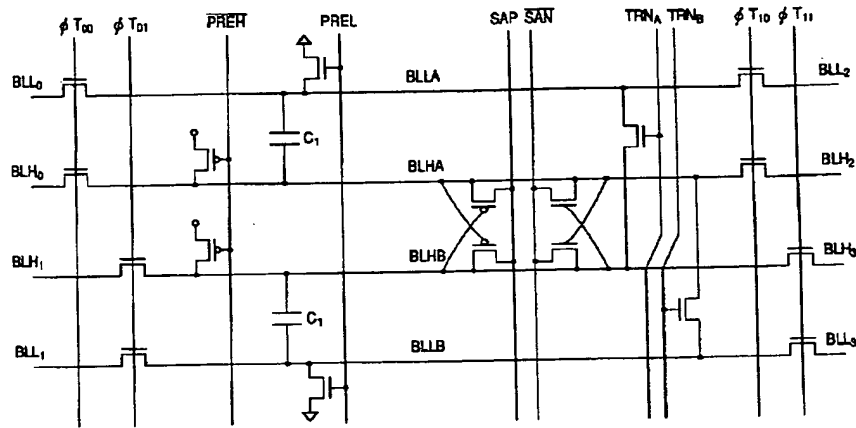
【図89】



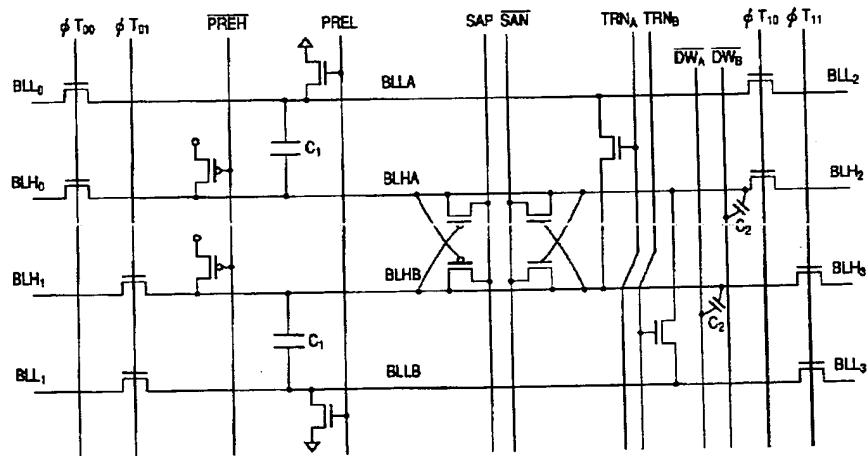
【図90】



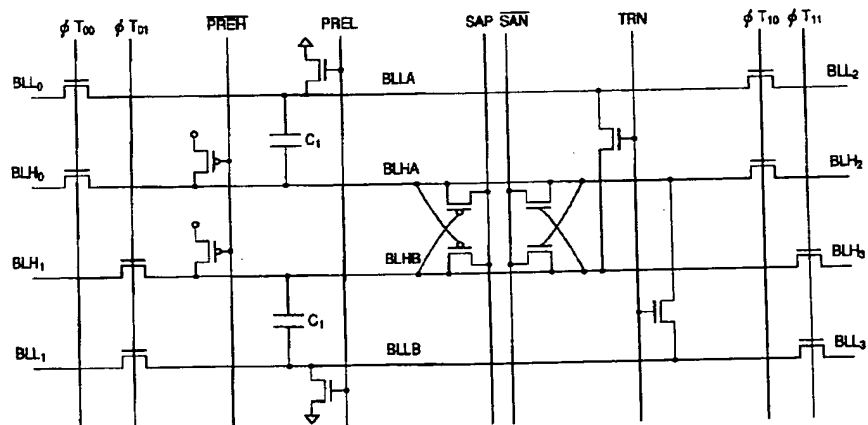
【図93】



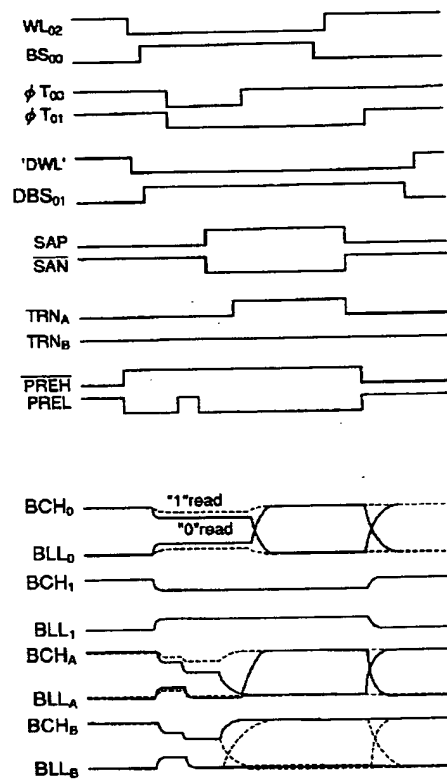
【図95】



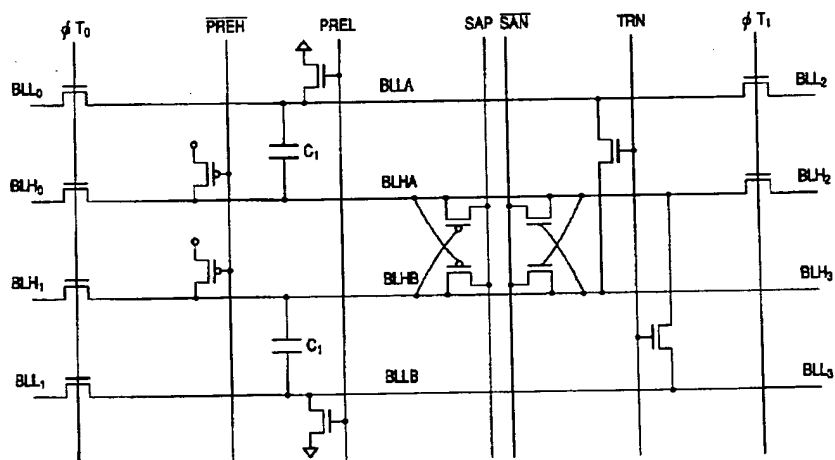
【図97】



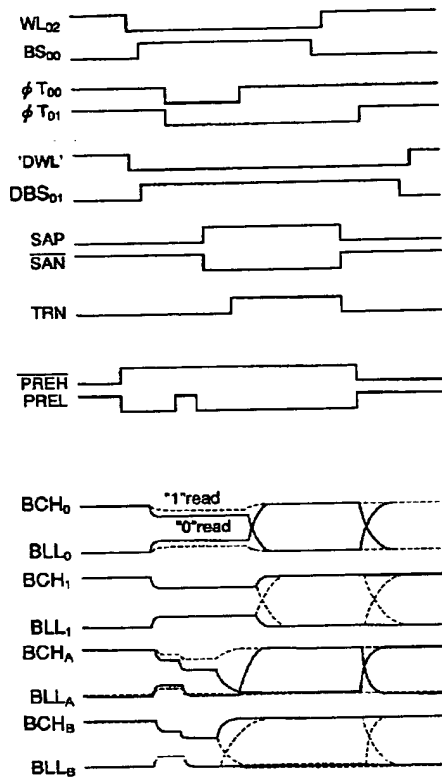
【図 9 8】



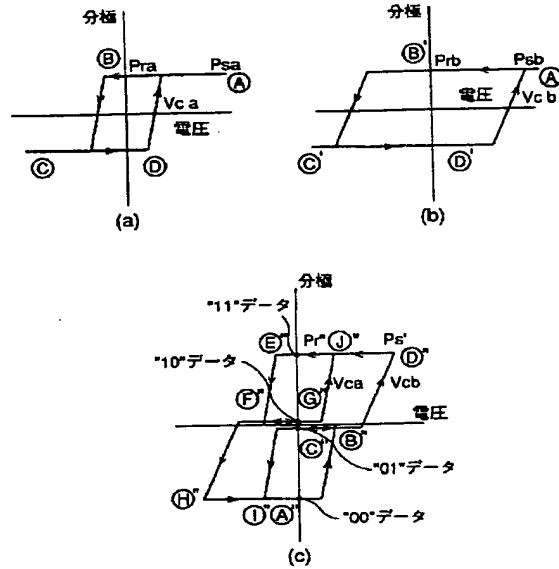
【图 9 9】



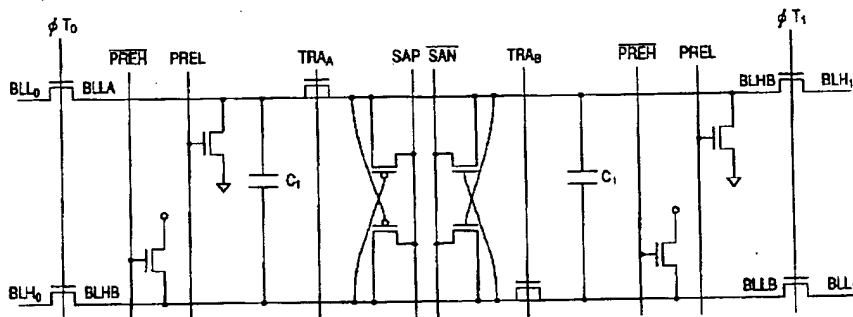
【図100】



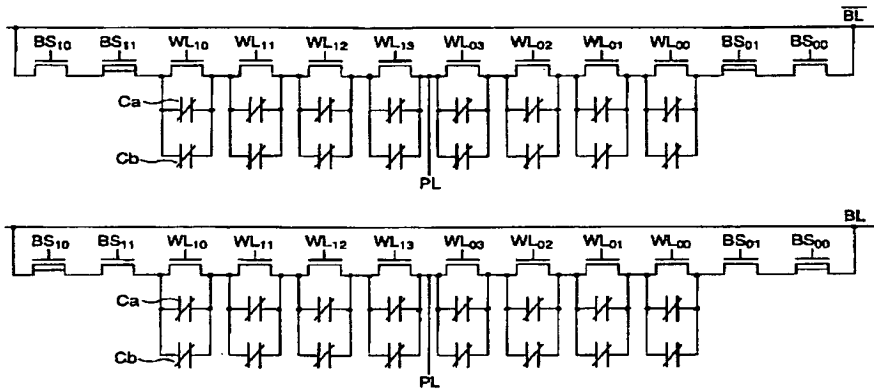
【図104】



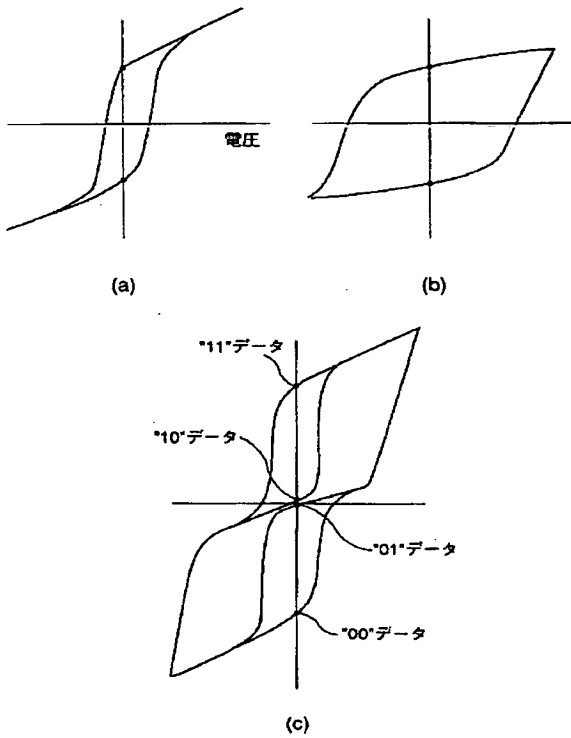
【図101】



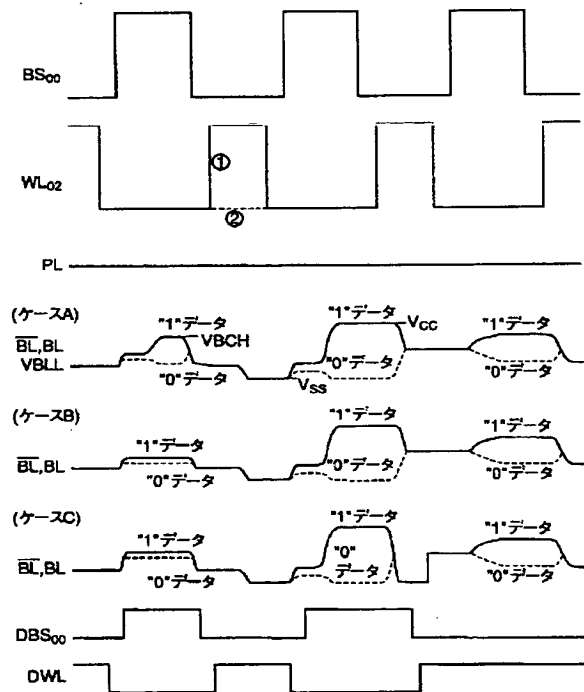
【図102】



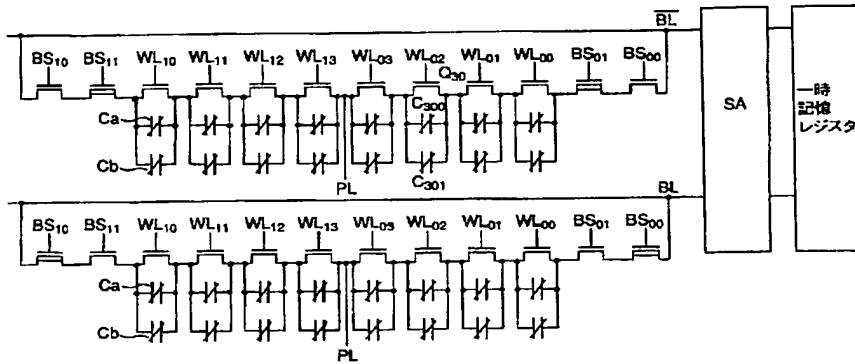
【図105】



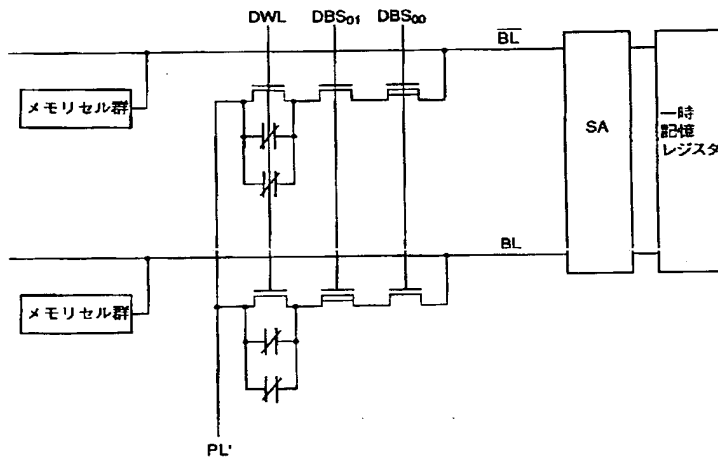
【図110】



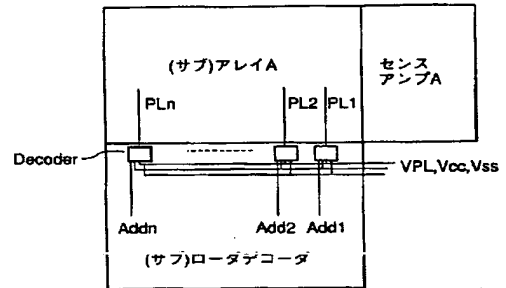
【図106】



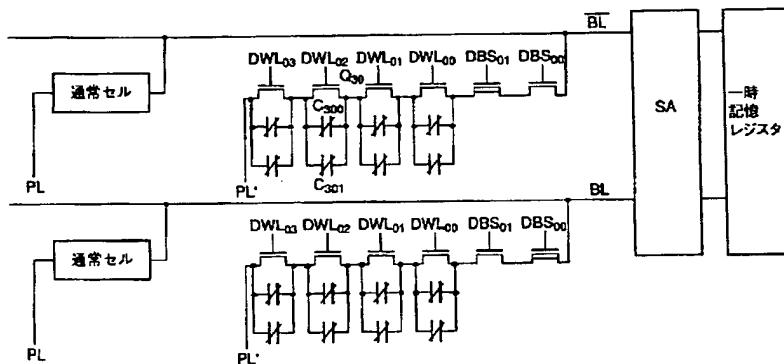
【図107】



【図118】

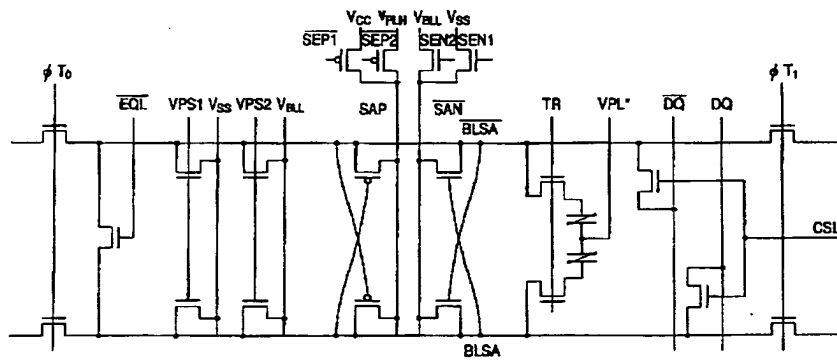


【図108】

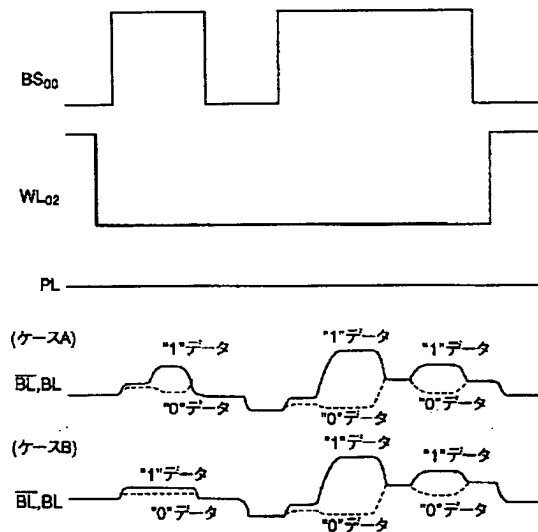




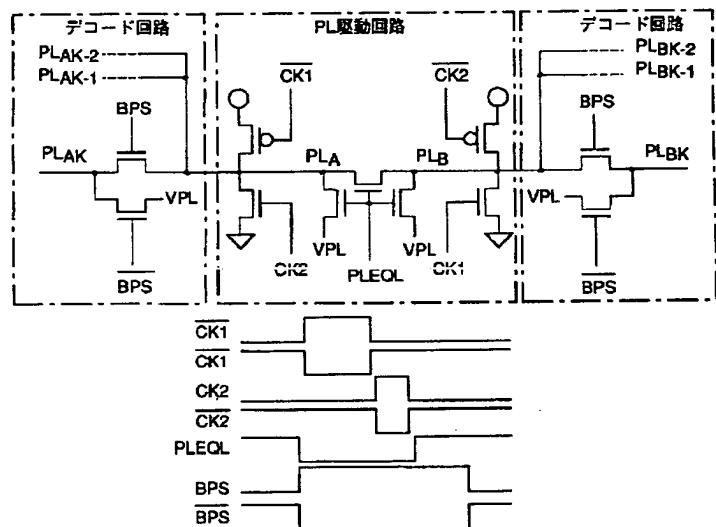
【図 109】



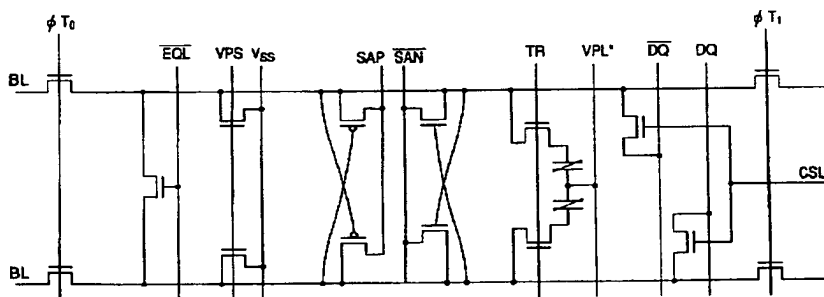
【図 111】



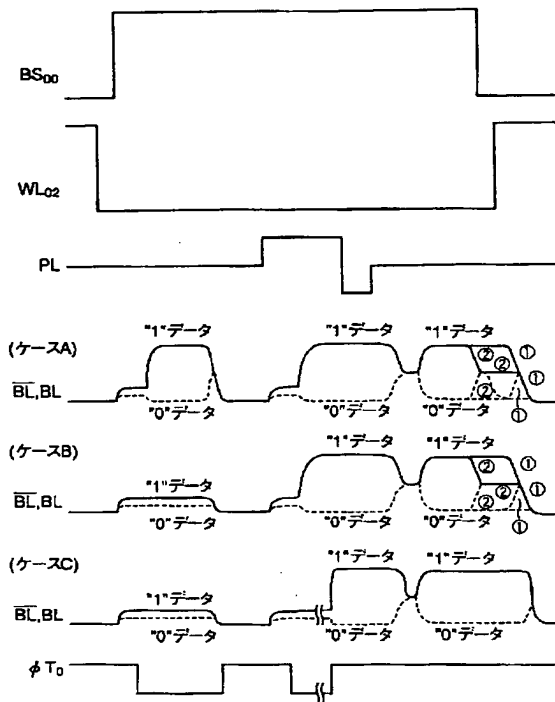
【図 121】



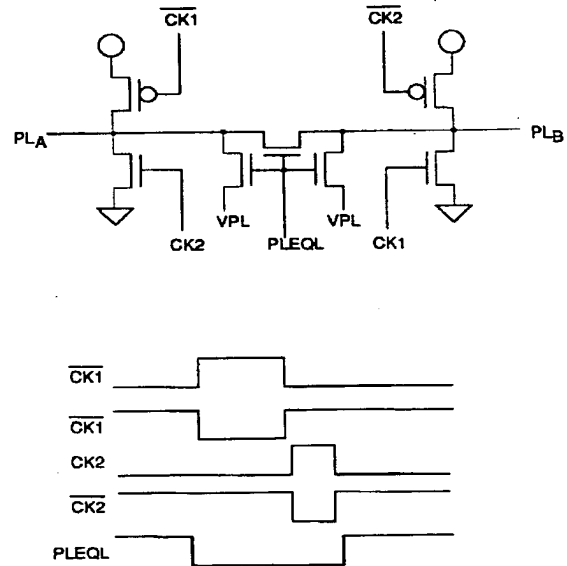
【図 112】



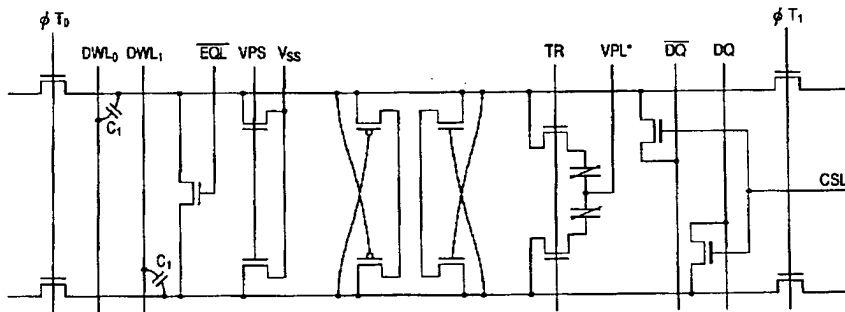
【図113】



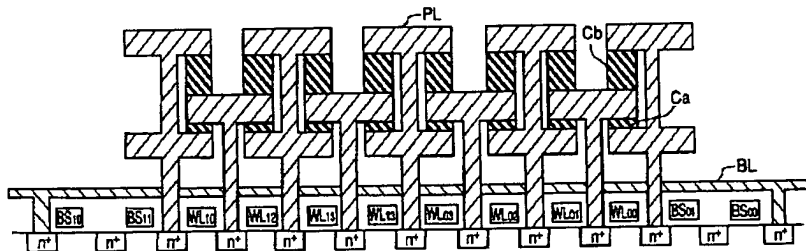
【図120】



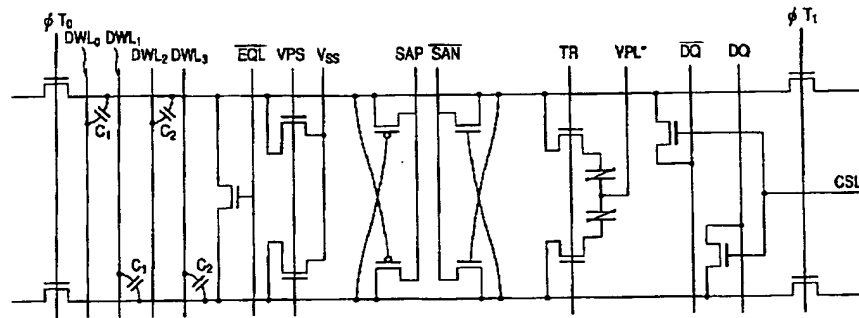
【図114】



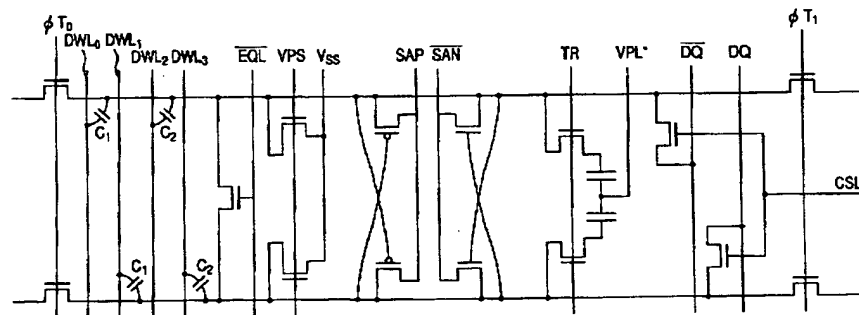
【図125】



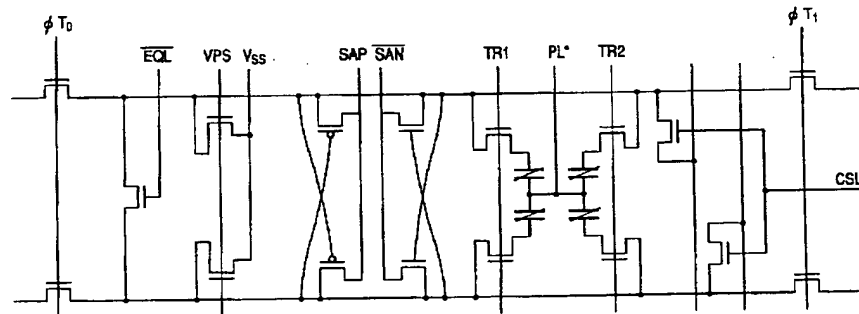
【図 115】



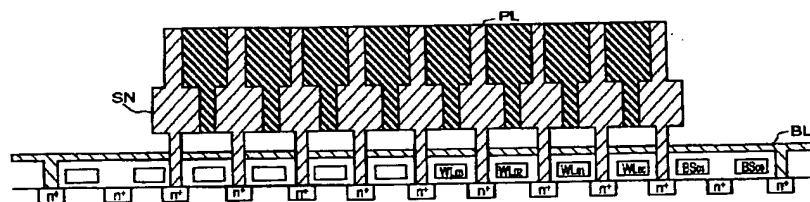
【図 116】



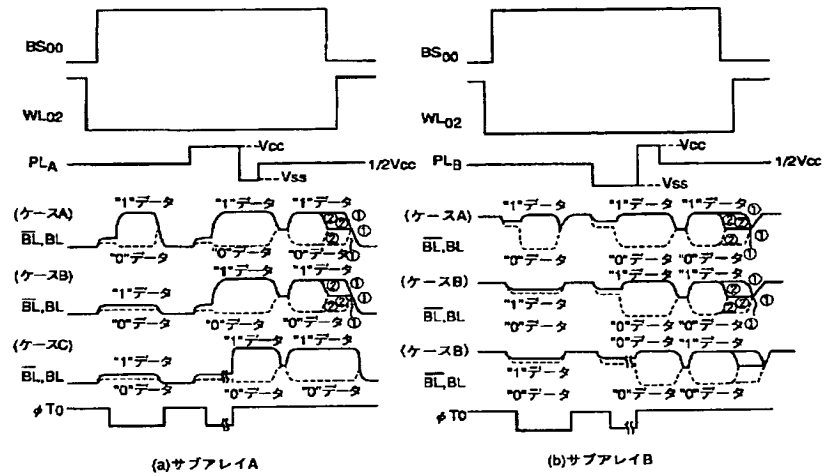
【図 117】



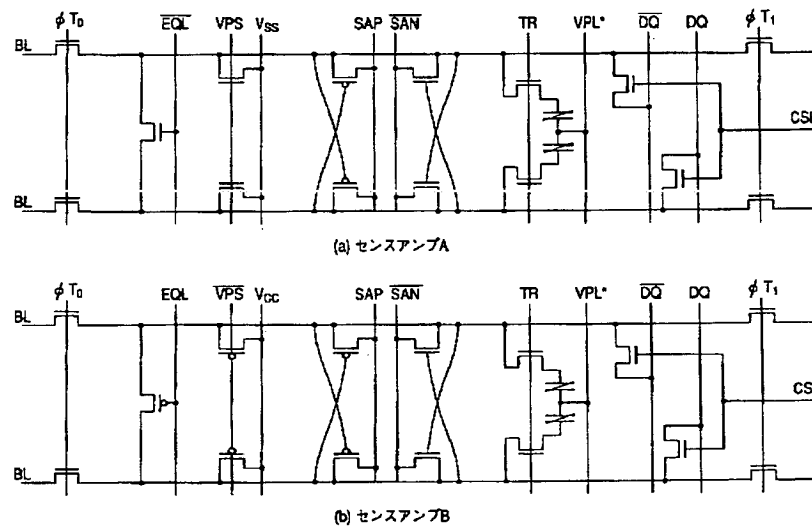
【図 126】



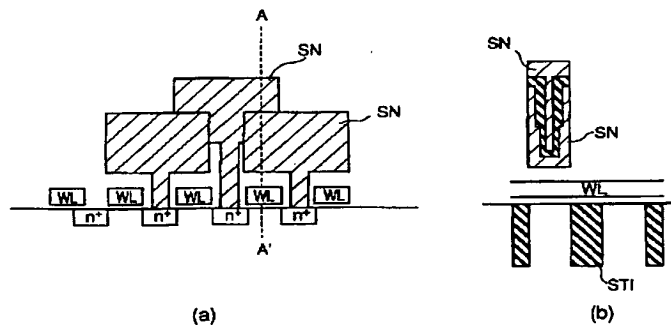
【図122】



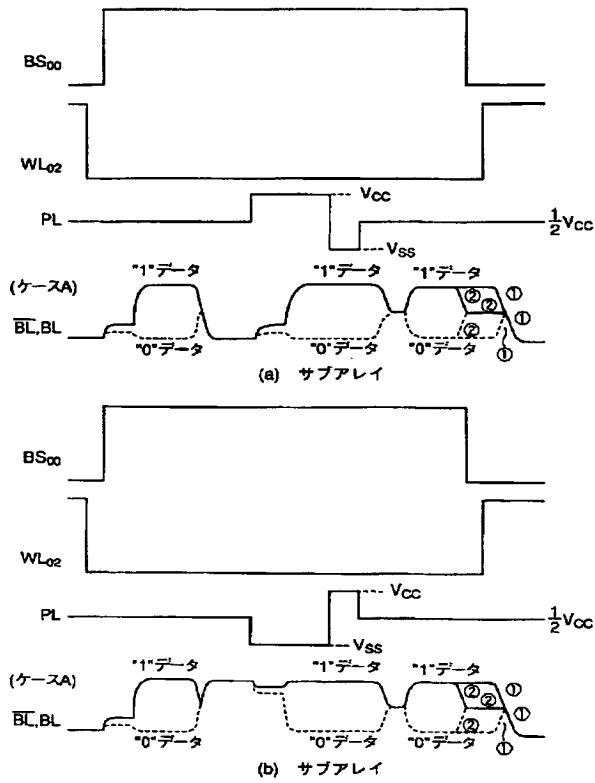
【図123】



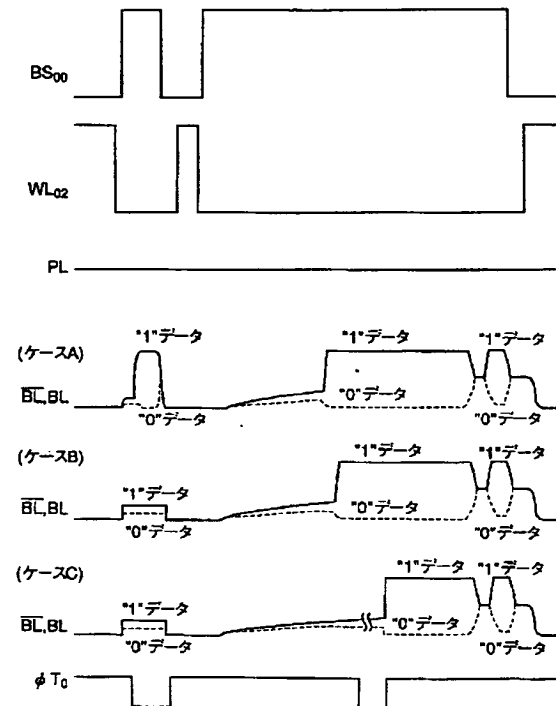
【図127】



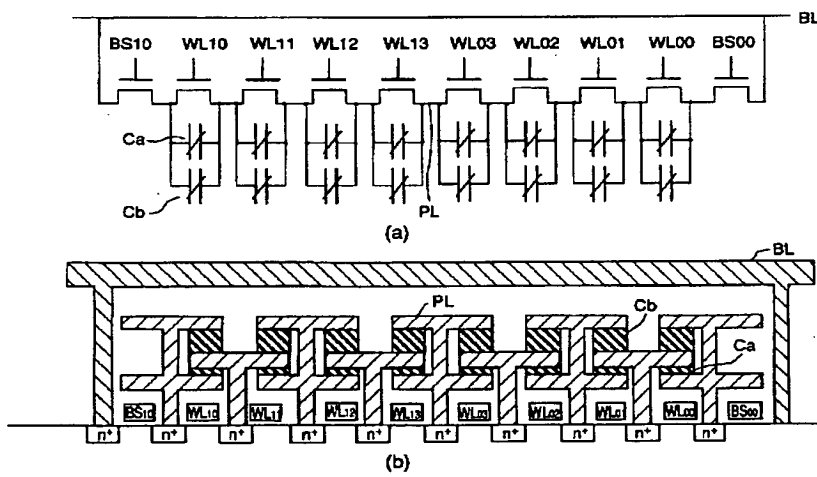
【図124】



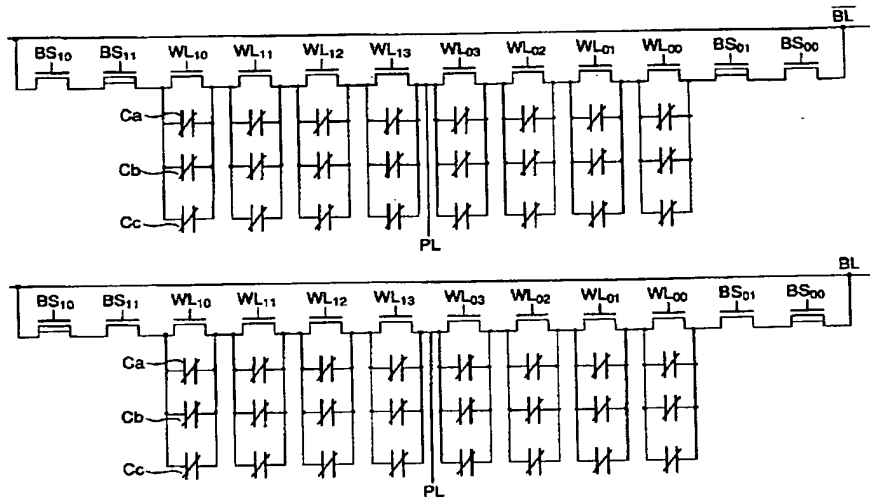
【図139】



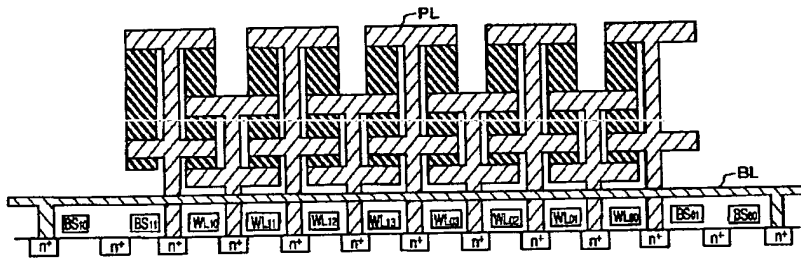
【図128】



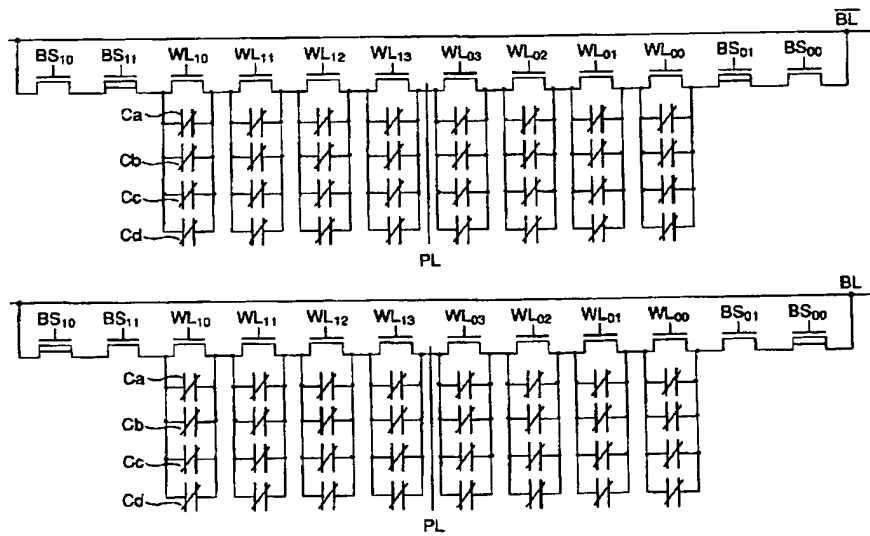
【図 129】



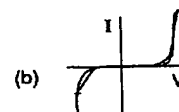
【図 130】



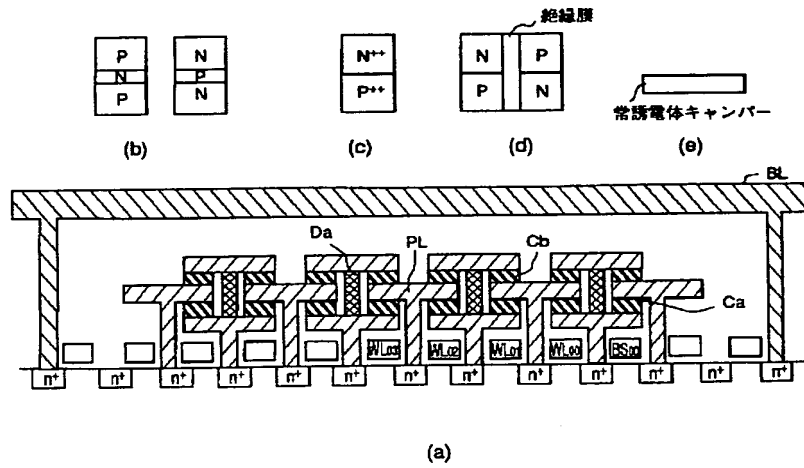
【図 131】



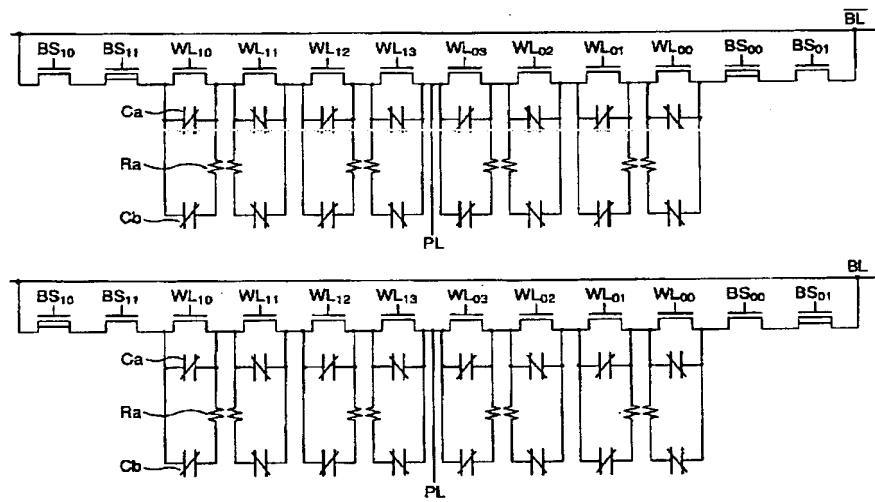
(a)



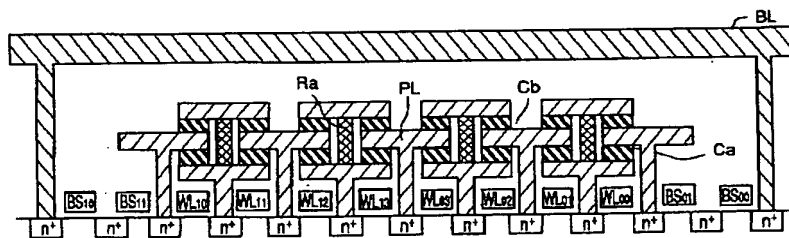
【図 135】



【図 136】

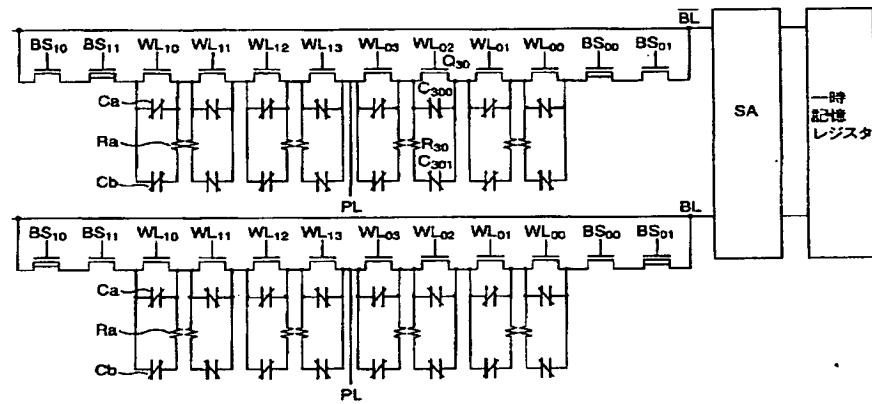


【図 137】

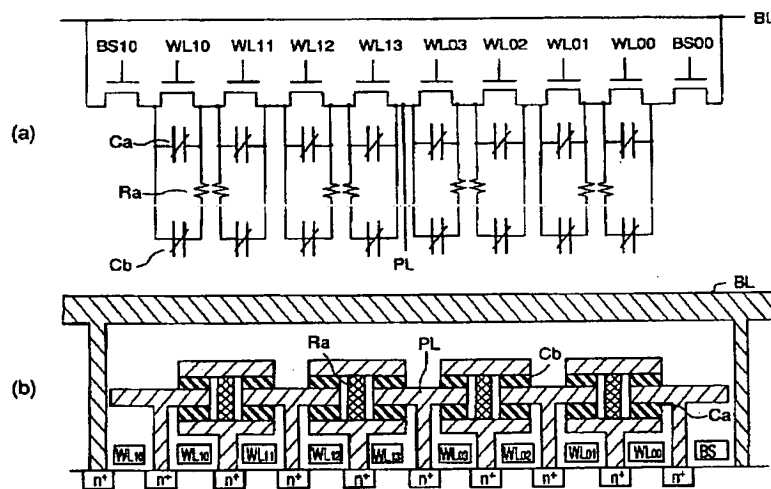




【図138】



【図140】



【図144】

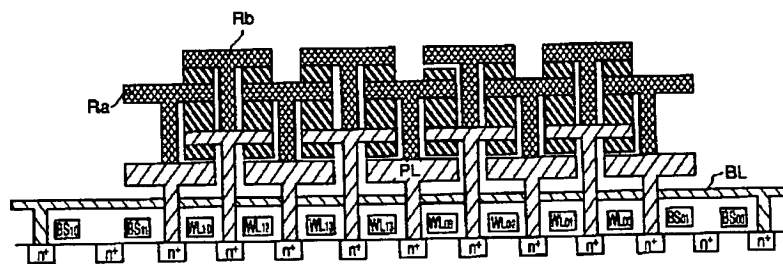
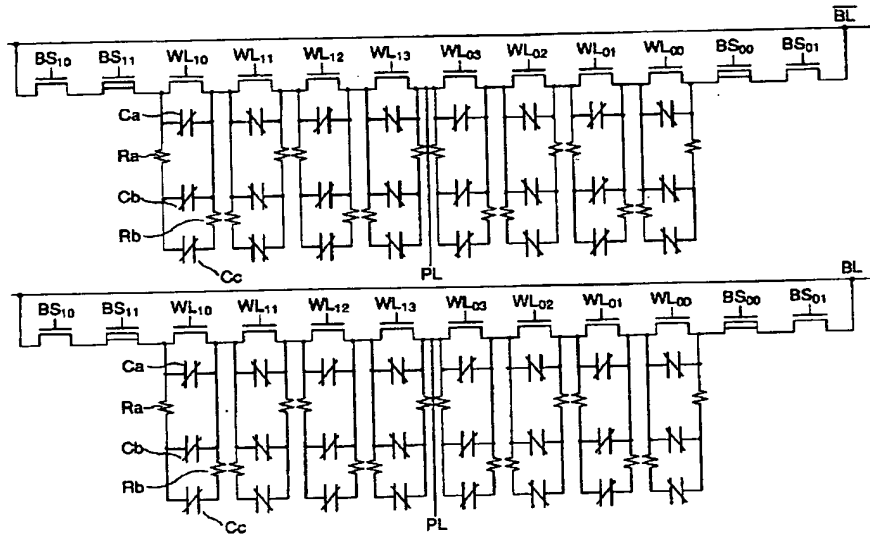


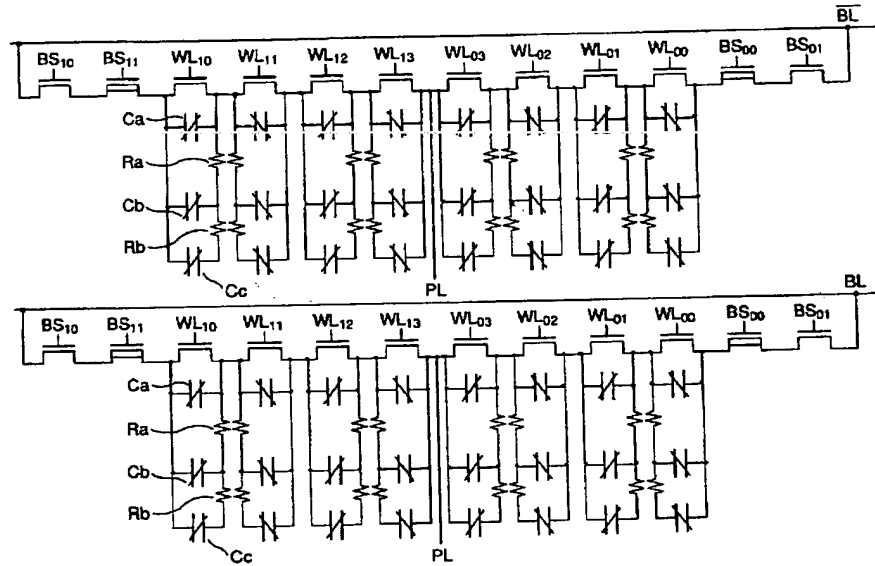
Figure 1 consists of two schematic diagrams of a 16T16R array. Diagram (a) is a top view showing the layout of the array. It features a grid of word lines (WL00 to WL13) and bit lines (BS00 to BS10). The array is composed of access transistors (Ca, Cb) and storage transistors (Ra, PL). Diagram (b) is a cross-sectional view of the array, showing the vertical stack of transistors and the bit line (BL) structure. The array is built on a substrate with n+ regions. The bit line (BL) is a thick layer on top. The access transistors (Ca, Cb) are formed by a stack of layers, including a gate stack (Ca, Cb) and a channel layer (Ra, PL). The storage transistors (Ra, PL) are formed by a stack of layers, including a gate stack (Ra, PL) and a channel layer (Ca, Cb).

	MRD		MRD		MRD		MRD		-----				MRD		
	SRD		SRD		SRD		SRD								
SA	CSCA	SA	CSCA	SA	CSCA	SA	CSCA	SA	CSCA	SA	-----	SA	SA	CS RS CA	SA
	SRD		SRD		SRD		SRD		SRD						
SA	CA	SA	CA	SA	CA	SA	CA	SA	CA	SA	-----	SA	SA	RS CA	SA
	SRD		SRD		SRD		SRD		SRD						
SA	CA	SA	CA	SA	CA	SA	CA	SA	CA	SA	-----	SA	SA	RS CA	SA
	SRD		SRD		SRD		SRD		SRD						
SA	CA	SA	CA	SA	CA	SA	CA	SA	CA	SA	-----	SA	SA	RS CA	SA
	SRD		SRD		SRD		SRD		SRD						
SA	CA	SA	CA	SA	CA	SA	CA	SA	CA	SA	-----	SA	SA	RS CA	SA
	SRD		SRD		SRD		SRD		SRD						

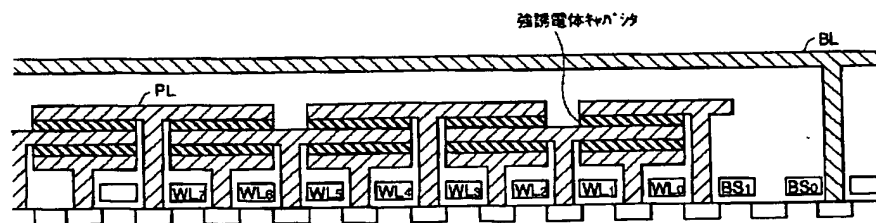
【図143】



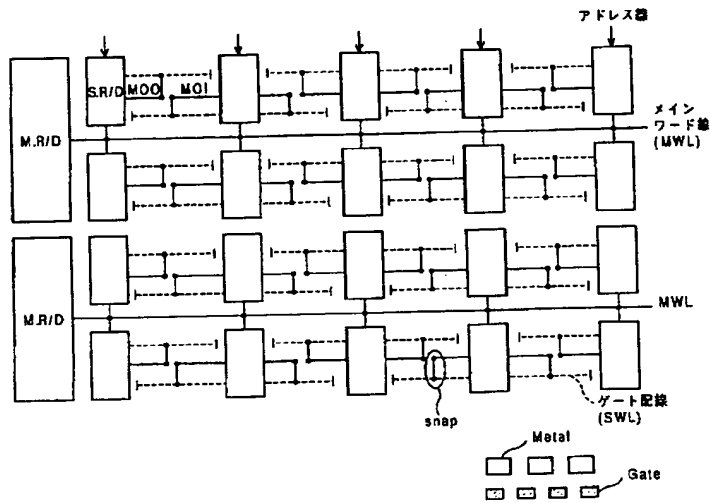
【図145】



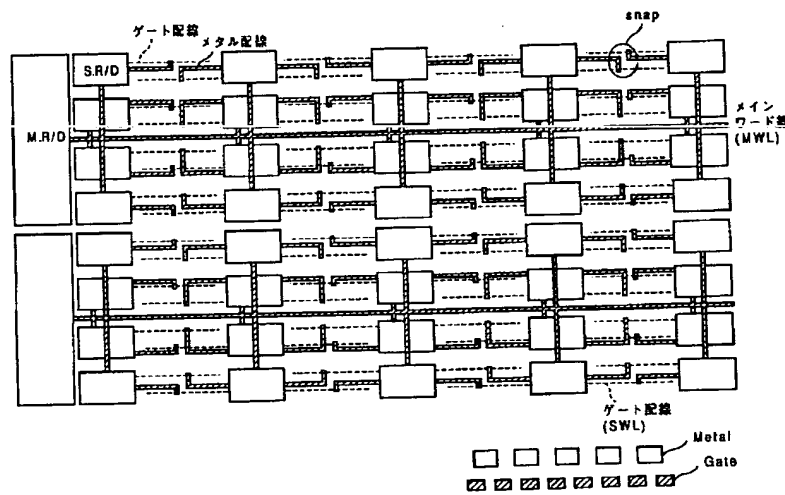
【図160】



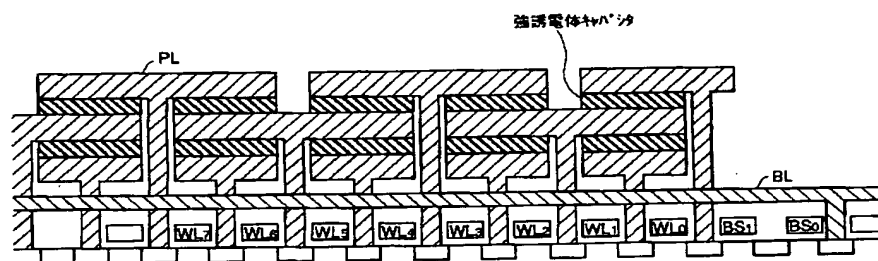
【図146】



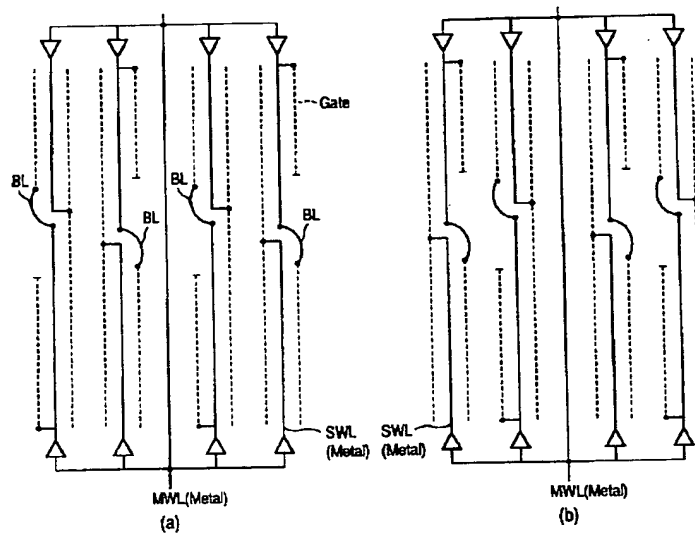
【図147】



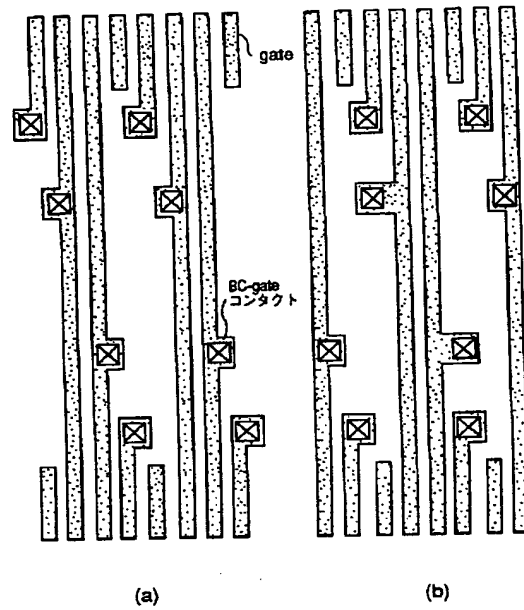
【図161】



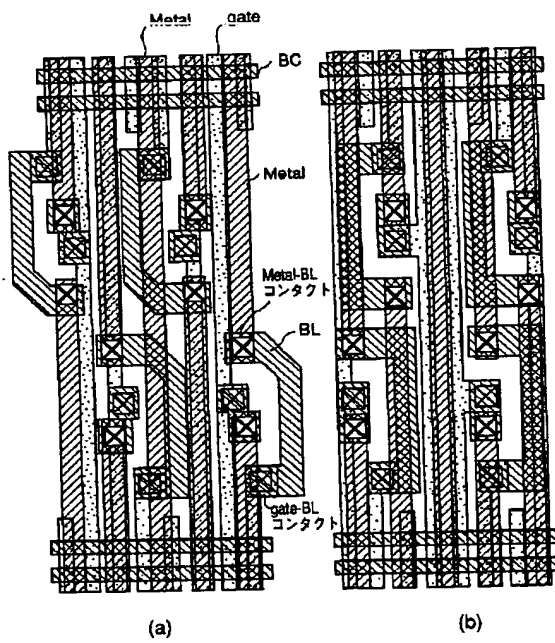
【図148】



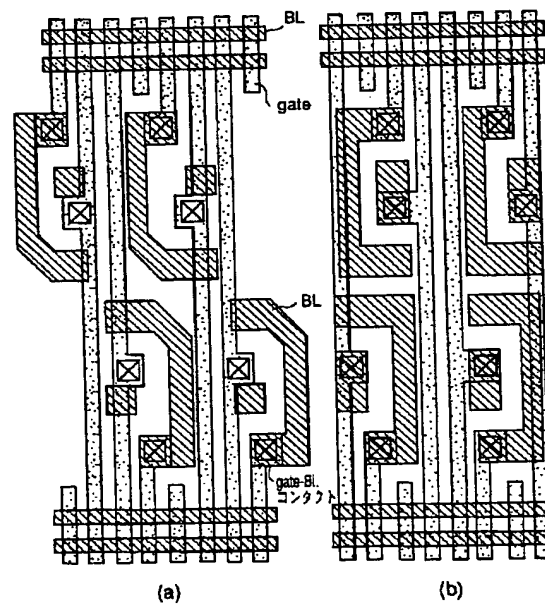
【図150】



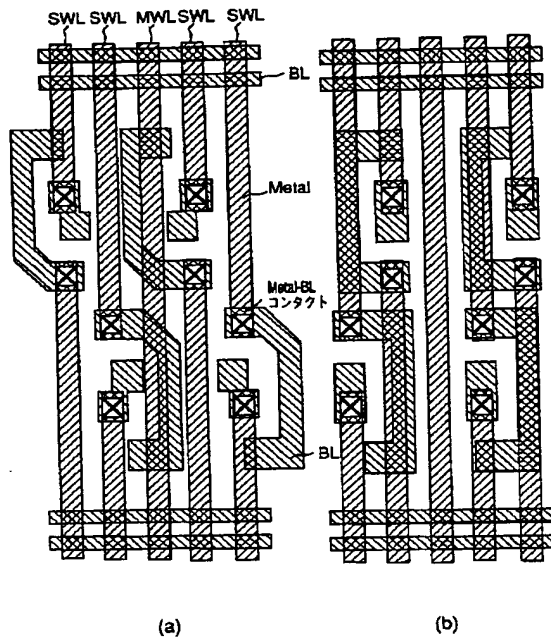
【図149】



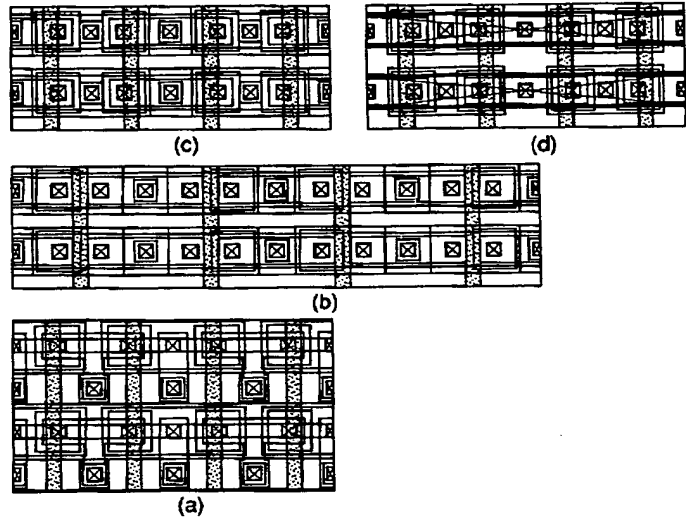
【図151】



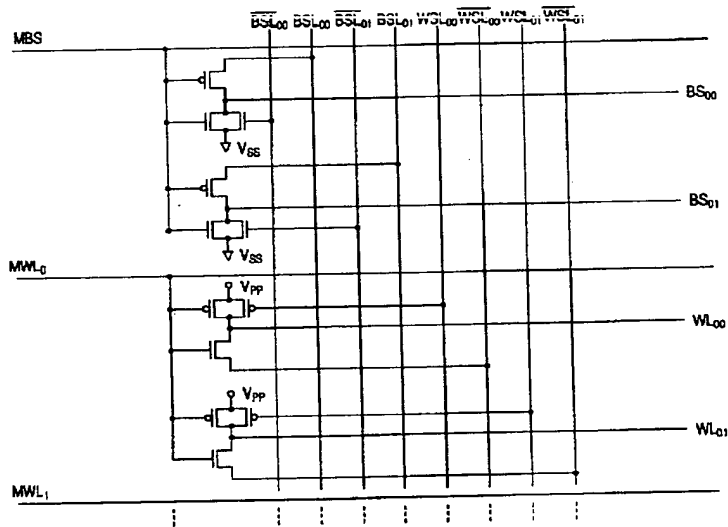
【図152】



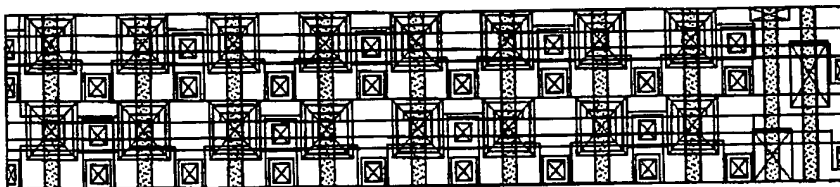
【図164】



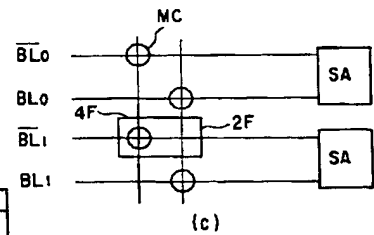
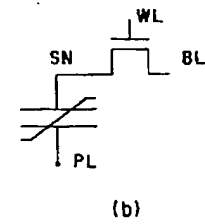
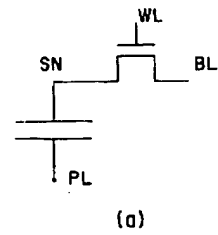
【図153】



【図169】

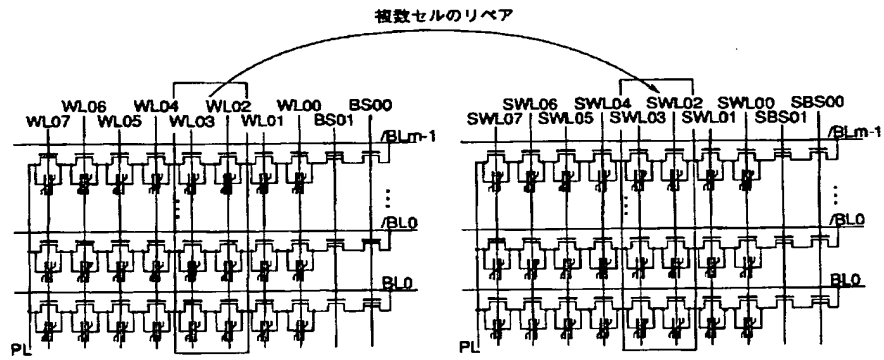


【図173】

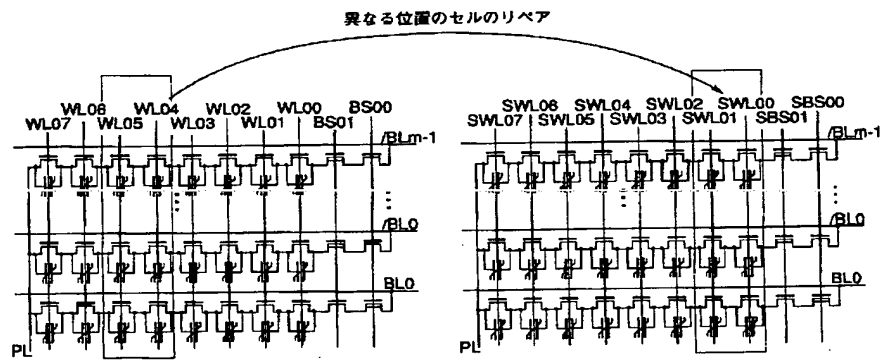




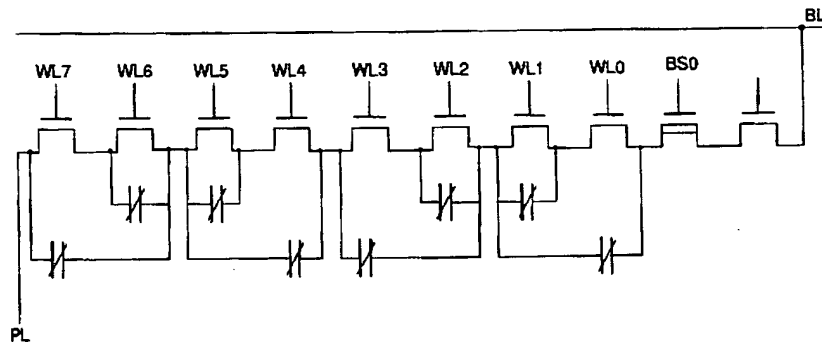
【図158】



【図159】

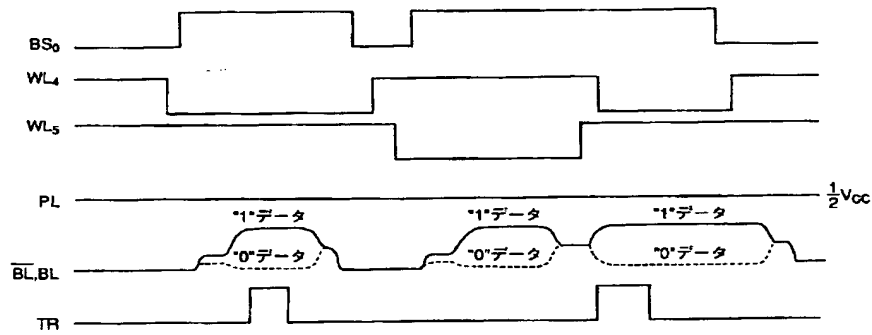


【図162】

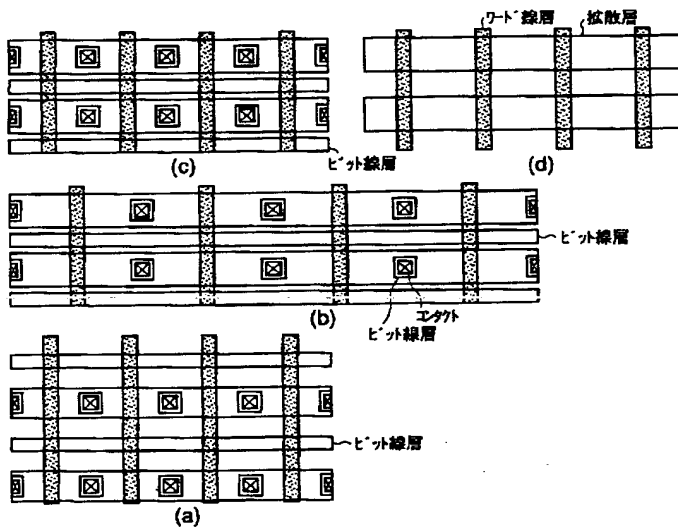




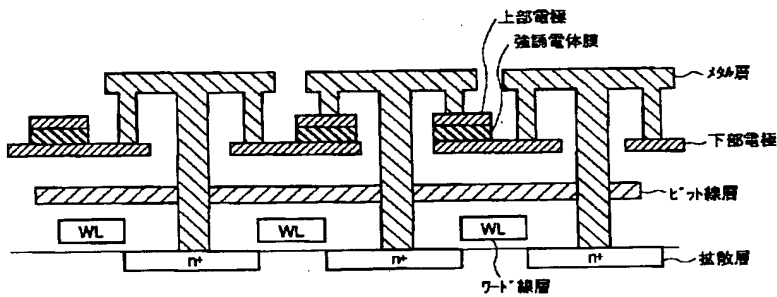
【図163】



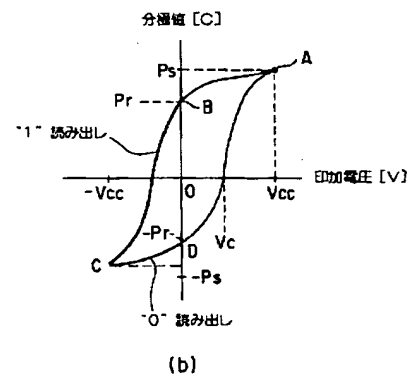
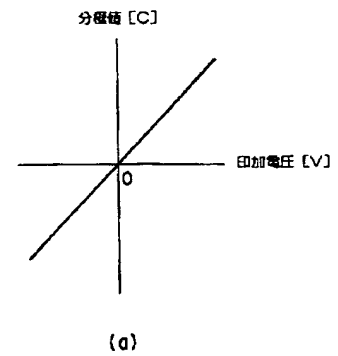
【図165】



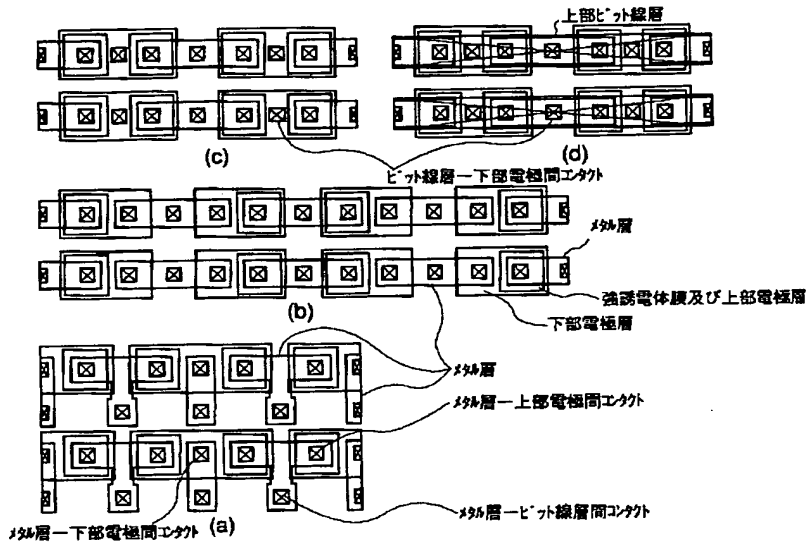
【図168】



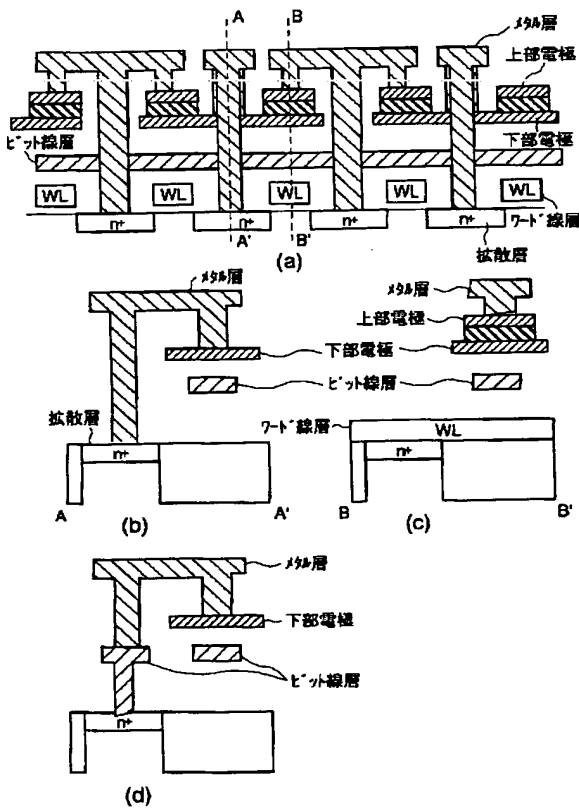
【図174】



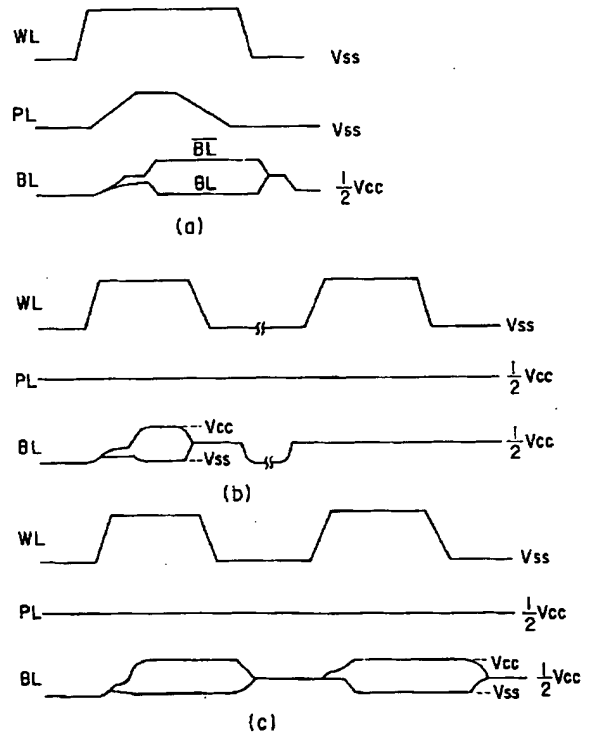
【図166】



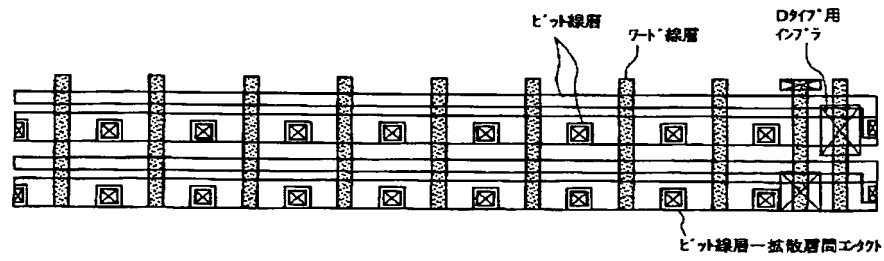
【図167】



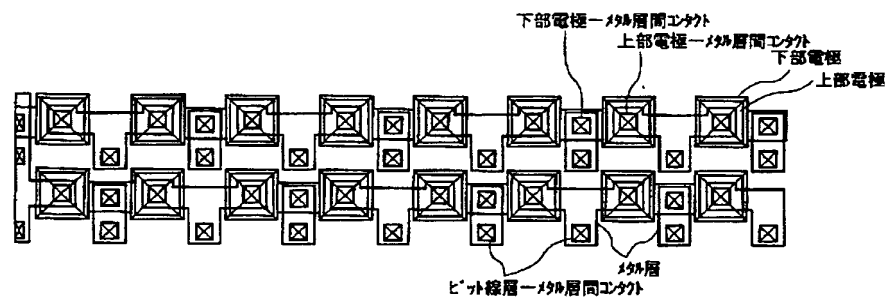
【図175】



【図170】



【図171】



【図172】

